

日本国特許庁  
JAPAN PATENT OFFICE

SHIBATA et al  
April 19, 2004  
BSKB LLP  
703-205-8000  
0347-04792031  
1061

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年 5月14日

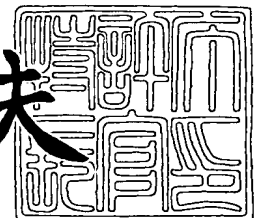
出願番号  
Application Number: 特願2003-136354  
[ST. 10/C]: [JP 2003-136354]

出願人  
Applicant(s): シャープ株式会社

2004年 2月18日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2004-3010574

【書類名】 特許願

【整理番号】 03J01915

【提出日】 平成15年 5月14日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 7/00

【発明の名称】 半導体記憶装置及び半導体装置、並びに携帯電子機器

【請求項の数】 14

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 柴田 晃秀

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 岩田 浩

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100065248

【弁理士】

【氏名又は名称】 野河 信太郎

【電話番号】 06-6365-0718

【手数料の表示】

【予納台帳番号】 014203

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0306384

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置及び半導体装置、並びに携帯電子機器

【特許請求の範囲】

【請求項 1】 不揮発性メモリ部と揮発性メモリ部とを備え、不揮発性メモリ部は、半導体層上にゲート絶縁膜を介して形成されたゲート電極と、該ゲート電極下に配置されたチャネル領域と、該チャネル領域の両側に配置され該チャネル領域と逆導電型を有する拡散領域と、該ゲート電極の両側に形成され電荷を保持する機能を有するメモリ機能体とを備える不揮発性メモリ素子を有する半導体記憶装置。

【請求項 2】 請求項 1 に記載の半導体記憶装置において、揮発性メモリ部は S R A M を備える半導体記憶装置。

【請求項 3】 請求項 2 に記載の半導体記憶装置において、不揮発性メモリ素子と S R A M は 1 つのチップ上に形成されたことを特徴とする半導体記憶装置。

【請求項 4】 請求項 1 に記載の半導体記憶装置において、揮発性メモリ部は D R A M を備える半導体記憶装置。

【請求項 5】 請求項 4 に記載の半導体記憶装置において、揮発性メモリ部は、D R A M をリフレッシュするリフレッシュ動作手段を備えることを特徴とする半導体記憶装置。

【請求項 6】 請求項 1 に記載の半導体記憶装置において、不揮発性メモリ部を形成する第 1 チップと、揮発性メモリ部を形成する第 2 チップと、第 1 および第 2 チップを収容する 1 つのパッケージをさらに備えることを特徴とする半導体記憶装置。

【請求項 7】 請求項 1 に記載の半導体記憶装置において、メモリ機能体は、少なくともその一部が拡散領域の一部にオーバーラップするように形成されてなることを特徴とする半導体記憶装置。

【請求項 8】 請求項 1 に記載の半導体記憶装置において、メモリ機能体は、電荷を保持する機能を有する膜を備え、電荷を保持する機能を有する膜の表面が、ゲート絶縁膜の表面と略平行に配置してなることを特徴とする半導体記憶装

置。

【請求項 9】 請求項 8 に記載の半導体記憶装置において、電荷を保持する機能を有する膜が、ゲート電極側面と略平行に配置してなることを特徴とする半導体記憶装置。

【請求項 1 0】 請求項 1 に記載の半導体記憶装置において、メモリ機能体が、電荷を保持する機能を有する膜と、その膜とチャネル領域又は半導体層とを隔てる絶縁膜を有し、絶縁膜が、ゲート絶縁膜よりも薄く、かつ 0.8 nm 以上の膜厚を有することを特徴とする半導体記憶装置。

【請求項 1 1】 請求項 1 に記載の半導体記憶装置において、メモリ機能体が、電荷を保持する機能を有する膜と、その膜とチャネル領域又は半導体層とを隔てる絶縁膜を有し、絶縁膜が、ゲート絶縁膜よりも厚く、かつ 20 nm 以下の膜厚を有することを特徴とする半導体記憶装置。

【請求項 1 2】 請求項 1 に記載の半導体記憶装置と、半導体記憶装置に格納された情報に基づいて演算処理を行う論理演算部とを備えたことを特徴とする半導体装置。

【請求項 1 3】 請求項 1 乃至 1 1 のいずれか 1 つに記載の半導体記憶装置を備えた携帯電子機器。

【請求項 1 4】 請求項 1 2 記載の半導体装置を備えた携帯電子機器。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、半導体記憶装置及びこの半導体記憶装置を備えた半導体装置、並びにこの半導体記憶装置又は半導体装置を備えた携帯電子機器に関する。より具体的には、電荷を保持する機能を有するメモリ機能体を備えた電界効果トランジスタよりなる不揮発性メモリ素子を備えた半導体記憶装置、及びこの半導体記憶装置を備えた半導体装置、並びにこの半導体記憶装置又は半導体装置を備えた携帯電子機器に関する。

【0 0 0 2】

【従来技術】

一般的に、マイクロコンピュータはCPUと不揮発性メモリと揮発性メモリとを備え、不揮発性メモリにはプログラムコードなどが格納され、揮発性メモリはワークメモリとして使用されている。従来、不揮発性メモリとしてはEEPROM (Electrically Erasable Programmable Read Only Memory) などが用いられていた。

#### 【0003】

EEPROMの一形態であるフラッシュメモリを例として以下に説明する。図27は、フラッシュメモリセルの一例の、概略の断面図である。図27中、901は半導体基板、902はフローティングゲート、903はワード線（コントロールゲート）、904は拡散層ソース線、905は拡散層ビット線、906は素子分離領域、907は絶縁膜を、それぞれ示している。

#### 【0004】

フラッシュメモリセルはフローティングゲートを備え、フローティングゲート中の電荷量の多寡として記憶を保持する。メモリセルを配列して構成したメモリセルアレイにおいては、特定のワード線、ビット線を選択して所定の電圧を印加することにより、所望のメモリセルの書き換え、読み出し動作を行なうことができる。

図28は、フラッシュメモリのフローティングゲート中の電荷量が増変したときの、ドレイン電流 ( $I_d$ ) 対ゲート電圧 ( $V_g$ ) の特性を模式的に示す図である。フローティングゲート中の負電荷の量が増加すると閾値が増加し、 $I_d - V_g$  曲線は  $V_g$  の増加する方向にほぼ平行移動する（特許文献1参照）。

#### 【0005】

【特許文献1】特開平5-304277号公報

#### 【0006】

##### 【発明が解決しようとする課題】

しかしながら、EEPROMはフローティングゲートを備えるため、フローティングゲートとコントロールゲートとを形成するため2層のポリシリコンをパターンニングする必要があり、工程が複雑であった。そのため、EEPROM自体は無論のこと、不揮発性メモリと揮発性メモリを備えた半導体記憶装置のコスト削

減を妨げていた。本発明は、前記課題に鑑みなされたものであり、不揮発性メモリと揮発性メモリとを備えた半導体記憶装置を低コストで提供するものである。

#### 【0007】

##### 【課題を解決するための手段】

この発明は、不揮発性メモリ部と揮発性メモリ部とを備え、不揮発性メモリ部は、半導体層上にゲート絶縁膜を介して形成されたゲート電極と、該ゲート電極下に配置されたチャネル領域と、該チャネル領域の両側に配置され該チャネル領域と逆導電型を有する拡散領域と、該ゲート電極の両側に形成され電荷を保持する機能を有するメモリ機能体とを備える不揮発性メモリ素子を有する半導体記憶装置を提供するものである。

#### 【0008】

この構成によれば、不揮発性メモリ部は、微細化が容易で製造プロセスが簡易なメモリ素子を有しているから、不揮発性メモリ部と揮発性メモリ部とを備えた半導体記憶装置が低コストで提供される。また、前記メモリ素子は、書込み時と消去時における電流差を大きくすることが容易なので、不揮発性メモリ部に記憶された情報の読出し速度が向上し、又は不揮発性メモリ部の読出し回路の構成を単純にすることができる。

#### 【0009】

この発明の一実施の形態では、揮発性メモリ部はSRAM (Static Random Access Memory) からなることを特徴としている。

この実施の形態によれば、半導体記憶装置の消費電力を抑制することができる。

また、他の実施の形態では、前記不揮発性メモリ素子とSRAMは1つのチップ上に形成されることを特徴としている。

#### 【0010】

この実施の形態によれば、前記不揮発性メモリ素子は通常構造のトランジスタと親和性の高いプロセスにより形成することが可能であり、前記SRAMは通常構造のトランジスタで構成することができるので、非常に簡易なプロセスで不揮発性メモリ部と揮発性メモリ部を1つのチップ上に混載することができる。した

がって、半導体記憶装置を小型化するとともに、半導体記憶装置のコストを著しく削減することが可能となる。

また、他の実施の形態では、前記揮発性メモリ部は D R A M (Dynamic Random Access Memory) を備えることを特徴としている。

#### 【 0 0 1 1 】

前記実施の形態によれば、前記揮発性メモリ部のビット当たりの占有面積を著しく小さくすることができる。したがって、半導体記憶装置のコストを削減し、又は記憶容量を大きくすることができる。

また、他の実施の形態では、前記揮発性メモリ部は、D R A M をリフレッシュするリフレッシュ動作手段を備えることを特徴としている。

#### 【 0 0 1 2 】

この実施の形態によれば、C P U (Central Processing Unit) などの外部制御装置と半導体記憶装置とを組み合わせた場合に、外部制御装置は揮発性メモリ部のリフレッシュ動作を行なうことが不要となり、若しくは揮発性メモリ部に対してリフレッシュ動作を行なう命令を出す必要がなくなる。したがって、外部制御装置の設計が容易となる。特に外部制御装置の汎用化が容易となる。

また、他の実施の形態では、前記不揮発性メモリ部が形成されたチップと、前記揮発性メモリ部が形成されたチップとが 1 つのパッケージ内に実装されたことを特徴としている。

#### 【 0 0 1 3 】

この実施の形態によれば、半導体記憶装置を小型化することができる。

また、この発明の半導体装置は、上記半導体記憶装置と、論理演算部とを備えることを特徴としている。

#### 【 0 0 1 4 】

この構成によれば、微細化が容易で製造プロセスが簡易なメモリ素子を有する半導体記憶装置と、論理演算部とを備えているから、種々の演算が可能な半導体装置が低コストで提供される。

また、他の実施の形態では、メモリ機能体は、少なくともその一部が拡散領域の一部にオーバーラップするように形成されてなることを特徴としている。



## 【0015】

この実施の形態によれば、不揮発性メモリ素子の読出し速度を十分に高速にすることができる。したがって、半導体記憶装置の高速動作化が可能となる。

また、他の実施の形態では、前記メモリ機能体が、電荷を保持する機能を有する膜を備え、該電荷を保持する機能を有する膜の表面が、ゲート絶縁膜の表面と略平行に配置してなることを特徴としている。

## 【0016】

この実施の形態によれば、不揮発性メモリ素子のメモリ効果のばらつきを小さくすることができるので、不揮発性メモリ素子の読出し電流ばらつきを抑えることができる。さらに、記憶保持中の不揮発性メモリ素子の特性変化を小さくすることができるので、不揮発性メモリ素子の記憶保持特性が向上する。したがって、半導体記憶装置の信頼性が向上する。

また、他の実施の形態では、さらに、電荷を保持する機能を有する膜が、ゲート電極側面と略平行に配置してなることを特徴としている。

## 【0017】

この実施の形態によれば、不揮発性メモリ素子の書換え速度が増大するので、不揮発性メモリ素子の書換え動作を高速にすることができる。したがって、半導体記憶装置の高速動作化が可能となる。

また、他の実施の形態では、メモリ機能体が、電荷を保持する機能を有する膜とチャネル領域又は半導体層とを隔てる絶縁膜を有し、該絶縁膜が、ゲート絶縁膜よりも薄く、かつ0.8 nm以上の膜厚を有することを特徴としている。

## 【0018】

この実施の形態によれば、不揮発性メモリ素子の書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にすることが可能となる。また、不揮発性メモリ素子のメモリ効果が増大するので、不揮発性メモリ部の読出し速度を高速にすることが可能となる。したがって、半導体記憶装置の低消費電力化及び高速動作化が可能となる。

また、他の実施の形態では、メモリ機能体が、電荷を保持する機能を有する膜とチャネル領域又は半導体層とを隔てる絶縁膜を有し、該絶縁膜が、ゲート絶縁

膜よりも厚く、かつ 2 0 n m 以下の膜厚を有することを特徴としている。

#### 【0 0 1 9】

この実施の形態によれば、不揮発性メモリ素子の短チャネル効果を悪化させることなく保持特性を改善することができるから、不揮発性メモリ素子を高集積化しても十分な記憶保持性能を得ることができる。したがって、半導体記憶装置の記憶容量を大きくし、若しくは半導体記憶装置の製造コストを低減することができる。

また、この発明の携帯電子機器は、上記半導体記憶装置又は半導体装置を備えることを特徴とする。

#### 【0 0 2 0】

この発明によれば、低コストな半導体記憶装置又は半導体装置を備えているので、携帯電子機器の製造コストを低減することができる。

#### 【0 0 2 1】

##### 【発明の実施の形態】

この発明の半導体記憶装置は、主として、不揮発性メモリ部と揮発性メモリ部とから構成される。

不揮発性メモリ部を構成するメモリ素子は、主として、半導体層と、ゲート絶縁膜と、ゲート電極と、チャネル領域と、拡散領域と、メモリ機能体とから構成される。ここで、チャネル領域とは、通常、半導体層と同じ導電型の領域であって、ゲート電極直下の領域を意味し、拡散領域は、チャネル領域と逆導電型の領域と意味する。

#### 【0 0 2 2】

具体的には、本発明のメモリ素子は、拡散領域である 1 つの第 1 導電型の領域と、チャネル領域である第 2 導電型の領域と、第 1 及び第 2 導電型の領域の境界を跨って配置された 1 つのメモリ機能体と、ゲート絶縁膜を介して設けられた電極とから構成されていてもよいが、ゲート絶縁膜上に形成されたゲート電極と、ゲート電極の両側に形成された 2 つのメモリ機能体と、メモリ機能体のゲート電極と反対側のそれぞれに配置される 2 つの拡散領域と、ゲート電極下に配置されたチャネル領域とから構成されることが適当である。

## 【0023】

本発明の半導体装置は、半導体層として半導体基板の上、好ましくは半導体基板内に形成された第1導電型のウェル領域の上に形成されることが好ましい。

## 【0024】

半導体基板としては、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン、ゲルマニウム等の元素半導体、シリコンゲルマニウム、GaAs、InGaAs、ZnSe、GaN等の化合物半導体によるバルク基板が挙げられる。また、表面に半導体層を有するものとして、SOI (Silicon on Insulator) 基板、SOS基板又は多層SOI基板等の種々の基板、ガラスやプラスチック基板上に半導体層を有するものを用いてもよい。なかでもシリコン基板又は表面にシリコン層が形成されたSOI基板等が好ましい。半導体基板又は半導体層は、内部を流れる電流量に多少が生ずるが、単結晶（例えば、エピタキシャル成長による）、多結晶又はアモルファスのいずれであってもよい。

## 【0025】

この半導体層上には、素子分離領域が形成されていることが好ましく、さらにトランジスタ、キャパシタ、抵抗等の素子、これらによる回路、半導体装置や層間絶縁膜が組み合わせられて、シングル又はマルチレイヤー構造で形成されていてもよい。なお、素子分離領域は、LOCOS膜、トレンチ酸化膜、STI膜等種々の素子分離膜により形成することができる。半導体層は、P型又はN型の導電性を有していてもよく、半導体層には、少なくとも1つの第1導電型（P型又はN型）のウェル領域が形成されていることが好ましい。半導体層及びウェル領域の不純物濃度は、当該分野で公知の範囲のものが使用できる。なお、半導体層としてSOI基板を用いる場合には、表面半導体層には、ウェル領域が形成されていてもよいが、チャネル領域下にボディ領域を有していてもよい。

## 【0026】

ゲート絶縁膜は、通常、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン酸化膜、シリコン窒化膜等の絶縁膜；酸化アルミニウム膜、酸化チタニウム膜、酸化タンタル膜、酸化ハフニウム膜などの高誘

電体膜の単層膜又は積層膜を使用することができる。なかでも、シリコン酸化膜が好ましい。ゲート絶縁膜は、例えば、1～20 nm程度、好ましく1～6 nm程度の膜厚とすることが適当である。ゲート絶縁膜は、ゲート電極直下にのみ形成されていてもよいし、ゲート電極よりも大きく（幅広で）形成されていてもよい。

#### 【0027】

ゲート電極は、ゲート絶縁膜上に、通常半導体装置に使用されるような形状又は下端部に凹部を有した形状で形成されている。なお、ゲート電極は、単層又は多層の導電膜によって分離されることなく、一体形状として形成されていることが好ましいが、単層又は多層の導電膜によって、分離した状態で配置していてもよい。また、ゲート電極は、側壁に側壁絶縁膜を有していてもよい。ゲート電極は、通常、半導体装置に使用されるものであれば特に限定されるものではなく、導電膜、例えば、ポリシリコン：銅、アルミニウム等の金属：タングステン、チタン、タンタル等の高融点金属：高融点金属とのシリサイド等の単層膜又は積層膜等が挙げられる。ゲート電極の膜厚は、例えば50～400 nm程度の膜厚で形成することが適当である。なお、ゲート電極の下にはチャネル領域が形成されている。

#### 【0028】

なお、ゲート電極は、後述するメモリ機能体の側壁のみに形成されるか、あるいはメモリ機能体の上部を覆わないことが好ましい。このような配置により、コンタクトプラグをよりゲート電極と接近して配置することができるので、メモリ素子の微細化が容易となる。また、このような単純な配置を有するメモリ素子は製造が容易であり、歩留まりを向上することができる。

#### 【0029】

メモリ機能体は、少なくとも電荷を保持する機能（以下「電荷保持機能」と記す）を有する。言換えると、電荷を蓄え、保持するか、電荷をトラップするか、電荷分極状態を保持する機能を有する。この機能は、例えば、電荷保持機能を有する膜又は領域をメモリ機能体が含むことにより発揮される。この機能を果たすものとしては、シリコン窒化物；シリコン；リン、ボロン等の不純物を含むシリ

ケートガラス；シリコンカーバイド；アルミナ；ハフニウムオキサイド、ジルコニウムオキサイド、タンタルオキサイド等の高誘電体；酸化亜鉛；強誘電体；金属等が挙げられる。したがって、メモリ機能体は、例えば、シリコン窒化膜を含む絶縁膜；導電膜もしくは半導体層を内部に含む絶縁膜；導電体もしくは半導体ドットを1つ以上含む絶縁膜；電界により内部電荷が分極し、その状態が保持される強誘電体膜を含む絶縁膜等の単層又は積層構造によって形成することができる。なかでも、シリコン窒化膜は、電荷をトラップする準位が多数存在するため大きなヒステリシス特性を得ることができ、また、電荷保持時間が長く、リークパスの発生による電荷漏れの問題が生じないため保持特性が良好であり、さらに、LSIプロセスではごく標準的に用いられる材料であるため、好ましい。

#### 【0030】

シリコン窒化膜などの電荷保持機能を有する膜を内部に含む絶縁膜をメモリ機能体として用いることにより、記憶保持に関する信頼性を高めることができる。シリコン窒化膜は絶縁体であるから、その一部に電荷のリークが生じた場合でも、直ちにシリコン窒化膜全体の電荷が失われることがないからである。また、複数のメモリ素子を配列する場合、メモリ素子間の距離が縮まって隣接するメモリ機能体が接触しても、メモリ機能体が導電体からなる場合のように夫々のメモリ機能体に記憶された情報が失われることがない。さらに、コンタクトプラグをよりメモリ機能体と接近して配置することができ、場合によってはメモリ機能体と重なるように配置することができるので、メモリ素子の微細化が容易となる。

#### 【0031】

なお、記憶保持に関する信頼性を高めるためには、電荷保持機能を有する膜は、必ずしも膜状である必要はなく、電荷保持機能を有する膜が絶縁膜中に離散的に存在することが好ましい。具体的には、電荷を保持しにくい材料、例えば、シリコン酸化物中にドット状に電荷保持機能を有する膜が分散していることが好ましい。

#### 【0032】

電荷保持膜として導電膜又は半導体層を用いる場合には、電荷保持膜が半導体層（半導体基板、ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡

散領域)又はゲート電極と直接接触しないように、絶縁膜を介して配置させることが好ましい。例えば、導電膜と絶縁膜との積層構造、絶縁膜内に導電膜をドット状等に分散させた構造、ゲートの側壁に形成された側壁絶縁膜内の一部に配置した構造等が挙げられる。

#### 【0033】

導電膜又は半導体層を内部に含む絶縁膜をメモリ機能体として用いることにより、導電体又は半導体中への電荷の注入量を自由に制御でき、多値化しやすいため、好ましい。

さらに、導電体又は半導体ドットを1つ以上含む絶縁膜をメモリ機能体として用いることにより、電荷の直接トンネリングによる書込・消去が行ないやすくなり、低消費電力化することができ、好ましい。

#### 【0034】

また、メモリ機能体として、電界により分極方向が変化するPZT、PLZT等の強誘電体膜を用いてもよい。この場合、分極により強誘電体膜の表面に実質的に電荷が発生し、その状態で保持される。従って、メモリ機能を有する膜外から電荷を供給され、電荷をトラップする膜と同様なヒステリシス特性を得ることができ、かつ、強誘電体膜の電荷保持は、膜外からの電荷注入の必要がなく、膜内の電荷の分極のみによってヒステリシス特性を得ることができるため、高速に書込・消去ができ、好ましい。

#### 【0035】

なお、メモリ機能体を構成する絶縁膜としては、電荷を逃げにくくする領域又は電荷を逃げにくくする機能を有する膜であることが適当であり、この電荷を逃げにくくする機能を果たすものとしては、シリコン酸化膜等が挙げられる。

#### 【0036】

メモリ機能体に含まれる電荷保持膜は、直接又は絶縁膜を介してゲート電極の両側に配置しており、また、直接、ゲート絶縁膜を介して半導体層(半導体基板、ウェル領域、ボディ領域又はソース/ドレイン領域もしくは拡散領域)上に配置している。ゲート電極の両側の電荷保持膜は、直接又は絶縁膜を介してゲート電極の側壁の全て又は一部を覆うように形成されていることが好ましい。応用例

としては、ゲート電極が下端部に凹部を有する場合には、直接又は絶縁膜を介して凹部を完全に又は凹部の一部を埋め込むように形成されていてもよい。

#### 【0037】

拡散領域は、ソース／ドレイン領域として機能させることができ、半導体層又はウェル領域と逆導電型を有する。拡散領域と半導体層又はウェル領域との接合は、不純物濃度が急峻であることが好ましい。ホットエレクトロンやホットホールが低電圧で効率良く発生し、より低電圧で高速な動作が可能となるからである。拡散領域の接合深さは、特に限定されるものではなく、得ようとする半導体記憶装置の性能等に応じて、適宜調整することができる。なお、半導体基板として S O I 基板を用いる場合には、拡散領域は、表面半導体層の膜厚よりも小さな接合深さを有していてもよいが、表面半導体層の膜厚とほぼ同程度の接合深さを有していることが好ましい。

#### 【0038】

拡散領域は、ゲート電極端とオーバーラップするように配置していてもよいし、ゲート電極端と一致するように配置していてもよいし、ゲート電極端に対してオフセットされて配置されていてもよい。特に、オフセットされている場合には、ゲート電極に電圧を印加したとき、電荷保持膜下のオフセット領域の反転しやすさが、メモリ機能体に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャネル効果の低減をもたらすため、好ましい。ただし、あまりオフセットしすぎると、拡散領域（ソース／ドレイン）間の駆動電流が著しく小さくなるため、ゲート長方向に対して平行方向の電荷保持膜の厚さよりもオフセット量、つまり、ゲート長方向における一方のゲート電極端から近い方の拡散領域までの距離は短い方が好ましい。特に重要なことは、メモリ機能体中の電荷保持機能を有する膜又は領域の少なくとも一部が、拡散領域の一部とオーバーラップしていることである。本発明の半導体記憶装置を構成するメモリ素子の本質は、メモリ機能体の側壁部にのみ存在するゲート電極と拡散領域間の電圧差により、メモリ機能体を横切る電界によって記憶を書き換えることであるためである。

#### 【0039】

拡散領域は、その一部が、チャネル領域表面、つまり、ゲート絶縁膜下面よりも高い位置に延設されていてもよい。この場合には、半導体基板内に形成された拡散領域上に、この拡散領域と一体化した導電膜が積層されて構成されていることが適当である。導電膜としては、例えば、ポリシリコン、アモルファスシリコン等の半導体、シリサイド、上述した金属、高融点金属等が挙げられる。なかでも、ポリシリコンが好ましい。ポリシリコンは、不純物拡散速度が半導体層に比べて非常に大きいために、半導体層内における拡散領域の接合深さを浅くするのが容易で、短チャネル効果の抑制がしやすいためである。なお、この場合には、この拡散領域の一部は、ゲート電極とともに、メモリ機能体の少なくとも一部を挟持するように配置することが好ましい。

#### 【 0 0 4 0 】

本発明のメモリ素子は、通常の半導体プロセスによって、例えば、ゲート電極の側壁に単層又は積層構造のサイドウォールスペーサを形成する方法と同様の方法によって形成することができる。具体的には、ゲート電極を形成した後、電荷保持機能を有する膜（以下「電荷保持膜」と記す）、電荷保持膜／絶縁膜、絶縁膜／電荷保持膜、絶縁膜／電荷保持膜／絶縁膜等の電荷保持膜を含む単層膜又は積層膜を形成し、適当な条件下でエッチバックしてこれらの膜をサイドウォールスペーサ状に残す方法；絶縁膜又は電荷保持膜を形成し、適当な条件下でエッチバックしてサイドウォールスペーサ状に残し、さらに電荷保持膜又は絶縁膜を形成し、同様にエッチバックしてサイドウォールスペーサ状に残す方法；粒子状の電荷保持材料を分散させた絶縁膜材料を、ゲート電極を含む半導体層上に塗布または堆積し、適当な条件下でエッチバックして、絶縁膜材料をサイドウォールスペーサ形状に残す方法；ゲート電極を形成した後、前記単層膜又は積層膜を形成し、マスクを用いてパターンニングする方法等が挙げられる。また、ゲート電極を形成する前に、電荷保持膜、電荷保持膜／絶縁膜、絶縁膜／電荷保持膜、絶縁膜／電荷保持膜／絶縁膜等を形成し、これらの膜のチャネル領域となる領域に開口を形成し、その上全面にゲート電極材料膜を形成し、このゲート電極材料膜を、開口を含み、開口よりも大きな形状でパターンニングする方法等が挙げられる。このように、本発明のメモリ素子は、フローティングゲートを持つ E E P R O M な



どに比べて、格段に簡易なプロセスで形成することができる。また、本発明のメモリ素子を形成するプロセスは通常のMOSFET形成プロセスと親和性が高いので、メモリ素子とMOSFETとの混載が容易である。

#### 【0041】

本発明のメモリ素子を配列してメモリセルアレイを構成した場合、メモリ素子の最良の形態は、例えば、(1)複数のメモリ素子のゲート電極が一体となってワード線の機能を有する、(2)前記ワード線の両側にはメモリ機能体が形成されている、(3)メモリ機能体内で電荷を保持するのは絶縁体、特にシリコン窒化膜である、(4)メモリ機能体はONO (Oxide Nitride Oxide) 膜で構成されており、シリコン窒化膜はゲート絶縁膜の表面と略平行な表面を有している、(5)メモリ機能体中のシリコン窒化膜はワード線及びチャネル領域とシリコン酸化膜で隔てられている、(6)メモリ機能体内のシリコン窒化膜と拡散領域とがオーバーラップしている、(7)ゲート絶縁膜の表面と略平行な表面を有するシリコン窒化膜とチャネル領域又は半導体層とを隔てる絶縁膜の厚さと、ゲート絶縁膜の厚さが異なる、(8)1個のメモリ素子の書込み及び消去動作は単一のワード線により行なう、(9)メモリ機能体の上には書込み及び消去動作を補助する機能を有する電極(ワード線)がない、(10)メモリ機能体の直下で拡散領域と接する部分に拡散領域の導電型と反対導電型の不純物濃度が濃い領域を有する、という要件の全てを満たすものである。ただし、これらの要件の1つでも満たすものであればよい。

#### 【0042】

上述した要件の特に好ましい組み合わせは、例えば、(3)メモリ機能体内で電荷を保持するのが絶縁体、特にシリコン窒化膜であり、(6)メモリ機能体内の絶縁膜(シリコン窒化膜)と拡散領域とがオーバーラップしており、(9)メモリ機能体の上には書込み及び消去動作を補助する機能を有する電極(ワード線)がない場合である。

要件(3)及び要件(9)を満たす場合には、以下のように、非常に有用である。

#### 【0043】

まず、ビット線コンタクトをワード線側壁のメモリ機能体と、より接近して配置することができ、又はメモリ素子間の距離が接近しても、複数のメモリ機能体

が干渉せず、記憶情報を保持できる。したがって、メモリ素子の微細化が容易となる。なお、メモリ機能体内の電荷保持領域が導電体の場合、容量カップリングによりメモリ素子間が近づくにつれて電荷保持領域間で干渉が起き、記憶情報を保持できなくなる。

#### 【 0 0 4 4 】

また、メモリ機能体内の電荷保持領域が絶縁体（例えば、シリコン窒化膜）である場合、メモリセル毎にメモリ機能体を独立させる必要がなくなる。例えば、複数のメモリセルで共有される 1 本のワード線の両側に形成されたメモリ機能体は、メモリセル毎に分離する必要が無く、1 本のワード線の両側に形成されたメモリ機能体を、ワード線を共有する複数のメモリセルで共有することが可能となる。そのため、メモリ機能体を分離するフォト、エッチング工程が不要となり、製造工程が簡略化される。さらに、フォトリソグラフィ工程の位置合わせマージン、エッチングの膜減りマージンが不要となるため、メモリセル間のマージンを縮小できる。したがって、メモリ機能体内の電荷保持領域が導電体（例えば、多結晶シリコン膜）である場合と比較して、同じ微細加工レベルで形成しても、メモリセル占有面積を微細化することができる。なお、メモリ機能体内の電荷保持領域が導電体である場合、メモリ機能体をメモリセル毎に分離するフォト、エッチング工程が必要となり、フォトの位置合わせマージン、エッチングの膜減りマージンが必要となる。

#### 【 0 0 4 5 】

さらに、メモリ機能体の上には書込み及び消去動作を補助する機能を有する電極がなく素子構造が単純であるから工程数が減少し、歩留まりを向上させることができる。したがって、論理回路やアナログ回路を構成するトランジスタとの混載を容易にすることができるとともに、安価な半導体記憶装置を得ることができる。

また、要件(3)及び(9)を満たす場合であって、さらに要件(6)を満たす場合には、より有用である。

#### 【 0 0 4 6 】

つまり、メモリ機能体内の電荷保持領域と拡散領域とをオーバーラップさせる

ことにより、非常に低電圧で書込、消去が可能となる。具体的には、5 V 以下という低電圧により、書込み及び消去動作を行なうことができる。この作用は、回路設計上においても非常に大きな効果である。フラッシュメモリのような高電圧をチップ内で作る必要がなくなるため、莫大な占有面積が必要となるチャージポンピング回路を省略又は規模を小さくすることが可能となる。特に、小規模容量のメモリを調整用としてロジック L S I に内蔵する場合、メモリ部の占有面積はメモリセルよりも、メモリセルを駆動する周辺回路の占有面積が支配的となるため、メモリセル用電圧昇圧回路を省略又は規模を小さくすることは、チップサイズを縮小させるためには最も効果的となる。

#### 【 0 0 4 7 】

一方、要件(3)を満たさない場合、つまり、メモリ機能体内で電荷を保持するのが導電体である場合は、要件(6)を満たさない、つまり、メモリ機能体内の導電体と拡散領域がオーバーラップしていない場合でも、書込み動作を行なうことができる。これは、メモリ機能体内の導電体がゲート電極との容量カップリングにより書込み補助を行なうからである。

#### 【 0 0 4 8 】

また、要件(9)を満たさない場合、つまり、メモリ機能体の上に書込み及び消去動作を補助する機能を有する電極がある場合は、要件(6)を満たさない、つまり、メモリ機能体内の絶縁体と拡散領域とがオーバーラップしていない場合でも、書込み動作を行なうことができる。

#### 【 0 0 4 9 】

本発明の半導体記憶装置においては、ロジックトランジスタと、同一のチップ上に混載されていてもよい。このような場合には、本発明の半導体装置、特にメモリ素子を、トランジスタ及びロジックトランジスタなどの通常の標準トランジスタの形成プロセスと非常に親和性が高い工程で形成することができるため、同時に形成することができる。したがって、メモリ素子とトランジスタ又はロジックトランジスタとを混載するプロセスは非常に簡便なものとなり、安価な混載装置を得ることができる。

#### 【 0 0 5 0 】

本発明の半導体記憶装置は、メモリ素子が、1つのメモリ機能体に2値又はそれ以上の情報を記憶させることができ、これにより、4値又はそれ以上の情報を記憶するメモリ素子として機能させることができる。なお、メモリ素子は、2値の情報を記憶させるのみでもよい。また、メモリ素子を、メモリ機能体による可変抵抗効果により、選択トランジスタとメモリトランジスタとの機能を兼ね備えたメモリセルとしても機能させることができる。

#### 【0051】

本発明の半導体記憶装置は、他のメモリ素子、論理素子又は論理回路等と組み合わせることにより、様々な集積回路及び電子機器に広く適用することができる。電池駆動の携帯電子機器、特に携帯情報端末に用いることができる。携帯電子機器としては、携帯情報端末、携帯電話、ゲーム機器等が挙げられる。

以下に、本発明の半導体記憶装置、半導体装置又は携帯電子機器の実施の形態を、図面に基づいてさらに詳細に説明する。

#### 【0052】

##### (実施の形態1)

この実施の形態の半導体記憶装置は、図1に示すような、メモリ素子1を備える。

#### 【0053】

メモリ素子1は、半導体基板上101表面に形成されたP型ウェル領域102上にゲート絶縁膜103を介してゲート電極104が形成されている。ゲート電極104の上面及び側面には、電荷を保持するトラップ準位を有し、電荷保持膜となるシリコン窒化膜109が配置しており、シリコン窒化膜109のなかでゲート電極104の両側壁部分が、それぞれ実際に電荷を保持するメモリ機能部105a、105bとなっている。ここで、メモリ機能部とは、メモリ機能体又は電荷保持膜のうちで書換え動作により実際に電荷が蓄積される部分を指す。ゲート電極104の両側であってP型ウェル領域102内に、それぞれソース領域又はドレイン領域として機能するN型の拡散領域107a、107bが形成されている。拡散領域107a、107bは、オフセット構造を有している。すなわち、拡散領域107a、107bはゲート電極下の領域121には達しておらず、

電荷保持膜下のオフセット領域 120 がチャネル領域の一部を構成している。

#### 【0054】

なお、実質的に電荷を保持するメモリ機能部 105a、105b は、ゲート電極 104 の両側壁部分である。したがって、この部分に対応する領域にのみに、シリコン窒化膜 109 が形成されていればよい（図 2（a）参照）。また、メモリ機能部 105a、105b は、ナノメートルサイズの導電体又は半導体からなる微粒子 111 が絶縁膜 112 中に散点状に分布する構造を有していてもよい（図 2（b）参照）。このとき、微粒子 111 が 1nm 未満であると、量子効果が大きすぎるためにドットに電荷がトンネルするのが困難になり、10nm を超えると室温では顕著な量子効果が現れなくなる。したがって、微粒子 111 の直径は 1nm～10nm の範囲にあることが好ましい。さらに、電荷保持膜となるシリコン窒化膜 109 は、ゲート電極の側面においてサイドウォールスペーサ状に形成されていてもよい（図 3 参照）。

#### 【0055】

メモリ素子の書込み動作原理を、図 3 及び図 4 を用いて説明する。なお、ここではメモリ機能体 131a、131b 全体が電荷を保持する機能を有する場合について説明する。また、書込みとは、メモリ素子が N チャネル型である場合にはメモリ機能体 131a、131b に電子を注入することを指す。以後、メモリ素子は N チャネル型であるとして説明する。

#### 【0056】

第 2 のメモリ機能体 131b に電子を注入する（書込む）ためには、図 3 に示すように、N 型の第 1 の拡散領域 107a をソース電極に、N 型の第 2 の拡散領域 107b をドレイン電極とする。例えば、第 1 の拡散領域 107a 及び P 型ウェル領域 102 に 0V、第 2 の拡散領域 107b に +5V、ゲート電極 104 に +5V を印加する。このような電圧条件によれば、反転層 226 が、第 1 の拡散領域 107a（ソース電極）から伸びるが、第 2 の拡散領域 107b（ドレイン電極）に達することなく、ピンチオフ点が発生する。電子は、ピンチオフ点から第 2 の拡散領域 107b（ドレイン電極）まで高電界により加速され、いわゆるホットエレクトロン（高エネルギーの伝導電子）となる。このホットエレクトロ

ンが第2のメモリ機能体131bに注入されることにより書込みが行なわれる。  
なお、第1のメモリ機能体131a近傍では、ホットエレクトロンが発生しないため、書込みは行なわれない。

#### 【0057】

一方、第1のメモリ機能体131aに電子を注入する（書込む）ためには、図4に示すように、第2の拡散領域107bをソース電極に、第1の拡散領域107aをドレイン電極とする。例えば、第2の拡散領域107b及びP型ウェル領域102に0V、第1の拡散領域107aに+5V、ゲート電極104に+5Vを印加する。このように、第2のメモリ機能体131bに電子を注入する場合とは、ソース／ドレイン領域を入れ替えることにより、第1のメモリ機能体131aに電子を注入して、書込みを行なうことができる。

次に、メモリ素子の消去動作原理を図5及び図6を用いて説明する。

#### 【0058】

第1のメモリ機能体131aに記憶された情報を消去する第1の方法では、図5に示すように、第1の拡散領域107aに正電圧（例えば、+5V）、P型ウェル領域102に0Vを印加して、第1の拡散領域107aとP型ウェル領域102とのPN接合に逆方向バイアスをかけ、さらにゲート電極104に負電圧（例えば、-5V）を印加する。このとき、PN接合のうちゲート電極104付近では、負電圧が印加されたゲート電極の影響により、特にポテンシャルの勾配が急になる。そのため、バンド間トンネルによりPN接合のP型ウェル領域102側にホットホール（高エネルギーの正孔）が発生する。このホットホールが負の電位をもつゲート電極104方向に引きこまれ、その結果、第1のメモリ機能体131aにホール注入が行なわれる。このようにして、第1のメモリ機能体131aの消去が行なわれる。このとき第2の拡散領域107bには0Vを印加すればよい。

#### 【0059】

第2のメモリ機能体131bに記憶された情報を消去する場合は、前記において第1の拡散領域と第2の拡散領域との電位を入れ替えればよい。

#### 【0060】

第1のメモリ機能体131aに記憶された情報を消去する第2の方法では、図6に示すように、第1の拡散領域107aに正電圧（例えば、+4V）、第2の拡散領域107bに0V、ゲート電極104に負電圧（例えば、-4V）、P型ウェル領域102に正電圧（例えば、+0.8V）を印加する。この際、P型ウェル領域102と第2の拡散領域107bとの間に順方向電圧が印加され、P型ウェル領域102に電子が注入される。注入された電子は、P型ウェル領域102と第1の拡散領域107aとのPN接合まで拡散し、そこで強い電界により加速されてホットエレクトロンとなる。このホットエレクトロンは、PN接合において、電子-ホール対を発生させる。すなわち、P型ウェル領域102と第2の拡散領域107bとの間に順方向電圧を印加することにより、P型ウェル領域102に注入された電子がトリガーとなって、反対側に位置するPN接合でホットホールが発生する。PN接合で発生したホットホールは負の電位をもつゲート電極104方向に引きこまれ、その結果、第1のメモリ機能体131aに正孔注入が行なわれる。

#### 【0061】

この方法によれば、P型ウェル領域と第1の拡散領域107aとのPN接合において、バンド間トンネルによりホットホールが発生するに足りない電圧しか印加されない場合においても、第2の拡散領域107bから注入された電子は、PN接合で電子-正孔対が発生するトリガーとなり、ホットホールを発生させることができる。したがって、消去動作時の電圧を低下させることができる。特に、オフセット領域120（図1参照）が存在する場合は、負の電位が印加されたゲート電極によりPN接合が急峻となる効果が少ない。そのため、バンド間トンネルによるホットホールの発生が難しいが、第2の方法はその欠点を補い、低電圧で消去動作を実現することができる。

#### 【0062】

なお、第1のメモリ機能体131aに記憶された情報を消去する場合、第1の消去方法では、第1の拡散領域107aに+5Vを印加しなければならなかったが、第2の消去方法では、+4Vで足りた。このように、第2の方法によれば、消去時の電圧を低減することができるので、消費電力が低減され、ホットキャリ

アによるメモリ素子の劣化を抑制することができる。

#### 【0063】

また、いずれの消去方法によっても、メモリ素子は過消去が起きにくい。ここで過消去とは、メモリ機能体に蓄積された正孔の量が増大するにつれ、飽和することなく閾値が低下していく現象である。フラッシュメモリを代表とするEEPROMでは大きな問題となっており、特に閾値が負になった場合にメモリセルの選択が不可能になるという致命的な動作不良を生じる。一方、本発明の半導体記憶装置におけるメモリ素子では、メモリ機能体に大量の正孔が蓄積された場合においても、メモリ機能体下に電子が誘起されるのみで、ゲート絶縁膜下のチャネル領域のポテンシャルにはほとんど影響を与えない。消去時の閾値はゲート絶縁膜下のポテンシャルにより決まるので、過消去が起きにくくなる。

さらに、メモリ素子の読み出し動作原理を、図7を用いて説明する。

#### 【0064】

第1のメモリ機能体131aに記憶された情報を読み出す場合、第1の拡散領域107aをソース電極に、第2の拡散領域107bをドレイン電極とし、トランジスタを飽和領域動作させる。例えば、第1の拡散領域107a及びP型ウェル領域102に0V、第2の拡散領域107bに+1.8V、ゲート電極104に+2Vを印加する。この際、第1のメモリ機能体131aに電子が蓄積していない場合には、ドレイン電流が流れやすい。一方、第1のメモリ機能体131aに電子が蓄積している場合は、第1のメモリ機能体131a近傍で反転層が形成されにくいので、ドレイン電流は流れにくい。したがって、ドレイン電流を検出することにより、第1のメモリ機能体131aの記憶情報を読み出すことができる。このとき、第2のメモリ機能体131bにおける電荷蓄積の有無は、ドレイン近傍がピンチオフしているため、ドレイン電流に影響を与えない。

#### 【0065】

第2のメモリ機能体131bに記憶された情報を読み出す場合、第2の拡散領域107bをソース電極に、第1の拡散領域107aをドレイン電極とし、トランジスタを飽和領域動作させる。例えば、第2の拡散領域107b及びP型ウェル領域102に0V、第1の拡散領域107aに+1.8V、ゲート電極104



に+2Vを印加すればよい。このように、第1のメモリ機能体131aに記憶された情報を読み出す場合とは、ソース／ドレイン領域を入れ替えることにより、第2のメモリ機能体131bに記憶された情報の読出しを行なうことができる。

#### 【0066】

なお、ゲート電極104で覆われないチャネル領域（オフセット領域120）が残されている場合、ゲート電極104で覆われないチャネル領域においては、メモリ機能体131a、131bの余剰電荷の有無によって反転層が消失又は形成され、その結果、大きなヒステリシス（閾値の変化）が得られる。ただし、オフセット領域120の幅があまり大きいと、ドレイン電流が大きく減少し、読出し速度が大幅に遅くなる。したがって、十分なヒステリシスと読出し速度が得られるように、オフセット領域120の幅を決定することが好ましい。

#### 【0067】

拡散領域107a、107bがゲート電極104端に達している場合、つまり、拡散領域107a、107bとゲート電極104とがオーバーラップしている場合であっても、書込み動作によりトランジスタの閾値はほとんど変わらなかったが、ソース／ドレイン端での寄生抵抗が大きく変わり、ドレイン電流は大きく減少（1桁以上）する。したがって、ドレイン電流の検出により読出しが可能であり、メモリとしての機能を得ることができる。ただし、より大きなメモリヒステリシス効果を必要とする場合、拡散領域107a、107bとゲート電極104とがオーバーラップしていない（オフセット領域120が存在する）ほうが好ましい。

#### 【0068】

以上の動作方法により、1トランジスタ当り選択的に2ビットの書込み及び消去が可能となる。また、メモリ素子のゲート電極104にワード線WLを、第1の拡散領域107aに第1のビット線BL1を、第2の拡散領域107bに第2のビット線BL2をそれぞれ接続し、メモリ素子を配列することにより、メモリセルアレイを構成することができる。

#### 【0069】

また、上述した動作方法では、ソース電極とドレイン電極を入れ替えることに

よって1トランジスタ当り2ビットの書込み及び消去をさせているが、ソース電極とドレイン電極とを固定して1ビットメモリとして動作させてもよい。この場合ソース／ドレイン領域の一方を共通固定電圧とすることが可能となり、ソース／ドレイン領域に接続されるビット線の本数を半減することができる。

#### 【0070】

以上の説明から明らかなように、本発明の半導体記憶装置におけるメモリ素子では、メモリ機能体がゲート絶縁膜と独立して形成され、ゲート電極の両側に形成されているため、2ビット動作が可能である。また、各メモリ機能体はゲート電極により分離されているので、書換え時の干渉が効果的に抑制される。さらに、ゲート絶縁膜は、メモリ機能体とは分離されているので、薄膜化して短チャネル効果を抑制することができる。したがってメモリ素子、ひいては半導体記憶装置の微細化が容易となる。

#### 【0071】

##### (実施の形態2)

この実施の形態の半導体記憶装置におけるメモリ素子は、図8に示すように、メモリ機能体261、262が電荷を保持する領域（電荷を蓄える領域であって、電荷を保持する機能を有する膜であってもよい）と、電荷を逃げにくくする領域（電荷を逃げにくくする機能を有する膜であってもよい）とから構成される以外は、図1のメモリ素子1と実質的に同様の構成である。

#### 【0072】

メモリ機能体は、メモリの保持特性を向上させる観点から、電荷を保持する機能を有する電荷保持膜と絶縁膜とを含んでいるのが好ましい。この実施の形態では、電荷保持膜として電荷をトラップする準位を有するシリコン窒化膜242、絶縁膜として電荷保持膜に蓄積された電荷の散逸を防ぐ働きのあるシリコン酸化膜241、243を用いている。メモリ機能体が電荷保持膜と絶縁膜とを含むことにより電荷の散逸を防いで保持特性を向上させることができる。また、メモリ機能体が電荷保持膜のみで構成される場合に比べて電荷保持膜の体積を適度に小さくすることができ、電荷保持膜内での電荷の移動を制限して、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。さらに、シリコン窒

化膜 242 がシリコン酸化膜 241、243 で挟まれた構造とすることにより、書換え動作時の電荷注入効率が高くなり、より高速な動作が可能となる。なお、このメモリ素子においては、シリコン窒化膜 242 を強誘電体で置き換えてもよい。

#### 【0073】

また、メモリ機能体 261、262 における電荷を保持する領域（シリコン窒化膜 242）は、拡散領域 212、213 とそれぞれオーバーラップしている。ここで、オーバーラップするとは、拡散領域 212、213 の少なくとも一部の領域上に、電荷を保持する領域（シリコン窒化膜 242）の少なくとも一部が存在することを意味する。なお、211 は半導体基板、214 はゲート絶縁膜、217 はゲート電極、271 はゲート電極 217 と拡散領域 212、213 とのオフセット領域である。図示しないが、ゲート絶縁膜 214 下であって半導体基板 211 の最表面はチャンネル領域となる。

メモリ機能体 261、262 における電荷を保持する領域であるシリコン窒化膜 242 と拡散領域 212、213 とがオーバーラップすることによる効果を説明する。

#### 【0074】

図 9 に示したように、メモリ機能体 262 周辺部において、ゲート電極 217 と拡散領域 213 とのオフセット量を  $W1$  とし、ゲート電極のチャンネル長方向の切断面におけるメモリ機能体 262 の幅を  $W2$  とすると、メモリ機能体 262 と拡散領域 213 とのオーバーラップ量は、 $W2 - W1$  で表される。ここで重要なことは、メモリ機能体 262 のうちシリコン窒化膜 242 で構成されたメモリ機能体 262 が、拡散領域 213 とオーバーラップする、つまり、 $W2 > W1$  なる関係を満たすことである。

#### 【0075】

図 9 では、メモリ機能体 262 のうち、シリコン窒化膜 242 のゲート電極 217 と離れた側の端が、ゲート電極 217 から離れた側のメモリ機能体 262 の端と一致しているため、メモリ機能体 262 の幅を  $W2$  として定義した。

#### 【0076】

なお、図10に示すように、メモリ機能体262aのうちシリコン窒化膜242aのゲート電極と離れた側の端が、ゲート電極から離れた側のメモリ機能体262aの端と一致していない場合は、W2をゲート電極端からシリコン窒化膜142aのゲート電極と遠い側の端までと定義すればよい。

#### 【0077】

図11は、図9のメモリ素子の構造において、メモリ機能体262の幅W2を100nmに固定し、オフセット量W1を変化させたときのドレイン電流I<sub>d</sub>を示している。ここで、ドレイン電流は、メモリ機能体262を消去状態（ホールが蓄積されている）とし、拡散領域212、213をそれぞれソース電極、ドレイン電極として、デバイスシミュレーションにより求めた。

#### 【0078】

図11から明らかなように、W1が100nm以上（すなわち、シリコン窒化膜242と拡散領域213とがオーバーラップしない）では、ドレイン電流が急速に減少している。ドレイン電流値は、読出し動作速度にほぼ比例するので、W1が100nm以上ではメモリの性能は急速に劣化する。一方、シリコン窒化膜242と拡散領域213とがオーバーラップする範囲においては、ドレイン電流の減少は緩やかである。したがって、量産製造においてばらつきも考慮した場合、電荷を保持する機能を有する膜であるシリコン窒化膜242の少なくとも一部とソース／ドレイン領域とがオーバーラップしなければ、事実上メモリ機能を得ることが困難である。

#### 【0079】

上述したデバイスシミュレーションの結果を踏まえて、W2を100nm固定とし、W1を設計値として60nm及び100nmとして、メモリセルアレイを作製した。W1が60nmの場合、シリコン窒化膜142と拡散領域212、213とは設計値として40nmオーバーラップし、W1が100nmの場合、設計値としてオーバーラップしない。これらのメモリセルアレイの読出し時間を測定した結果、ばらつきを考慮したワーストケースで比較して、W1を設計値として60nmとした場合の方が、読出しアクセス時間で100倍高速であった。実用上、読み出しアクセス時間は1ビットあたり100ナノ秒以下であることが好

ましいが、 $W1 = W2$ では、この条件を到底達成できない。また、製造ばらつきまで考慮した場合、 $(W2 - W1) > 10 \text{ nm}$ であることがより好ましい。

#### 【0080】

メモリ機能体261（領域281）に記憶された情報の読み出しは、実施の形態1と同様に、拡散領域212をソース電極とし、拡散領域213をドレイン領域としてチャンネル領域中のドレイン領域に近い側にピンチオフ点を形成するのが好ましい。すなわち、2つのメモリ機能体のうち一方に記憶された情報を読み出す時に、ピンチオフ点をチャンネル領域内であって、他方のメモリ機能体に近い領域に形成させるのが好ましい。これにより、メモリ機能体262の記憶状況の如何にかかわらず、メモリ機能体261の記憶情報を感度よく検出することができ、2ビット動作を可能にする大きな要因となる。

#### 【0081】

一方、2つのメモリ機能体の片側のみに情報を記憶させる場合又は2つのメモリ機能体を同じ記憶状態にして使用する場合には、読出し時に必ずしもピンチオフ点を形成しなくてもよい。

なお、図8には図示していないが、半導体基板211の表面にウェル領域（Nチャンネル素子の場合はP型ウェル）を形成することが好ましい。ウェル領域を形成することにより、チャンネル領域の不純物濃度をメモリ動作（書換え動作及び読出し動作）に最適にしつつ、その他の電気特性（耐圧、接合容量、短チャンネル効果）を制御するのが容易になる。

#### 【0082】

また、メモリ機能体は、ゲート絶縁膜表面と略平行に配置される電荷保持膜を含むことが好ましい。いいかえると、メモリ機能体における電荷保持膜の上面が、ゲート絶縁膜上面から等しい距離に位置するように配置されることが好ましい。具体的には、図12に示したように、メモリ機能体262の電荷保持膜であるシリコン窒化膜242aが、ゲート絶縁膜214表面と略平行な面を有している。言い換えると、シリコン窒化膜242aは、ゲート絶縁膜214表面に対応する高さから、均一な高さに形成されることが好ましい。

#### 【0083】

メモリ機能体 2 6 2 中に、ゲート絶縁膜 2 1 4 表面と略平行なシリコン窒化膜 2 4 2 a があることにより、シリコン窒化膜 2 4 2 a に蓄積された電荷の多寡によりオフセット領域 2 7 1 での反転層の形成されやすさを効果的に制御することができ、ひいてはメモリ効果を大きくすることができる。また、シリコン窒化膜 2 4 2 a をゲート絶縁膜 2 1 4 の表面と略平行とすることにより、オフセット量 (W 1) がばらついた場合でもメモリ効果の変化を比較的小さく保つことができ、メモリ効果のばらつきを抑制することができる。しかも、シリコン窒化膜 2 4 2 a 上部方向への電荷の移動が抑制され、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。

#### 【0 0 8 4】

さらに、メモリ機能体 2 6 2 は、ゲート絶縁膜 2 1 4 の表面と略平行なシリコン窒化膜 2 4 2 a とチャネル領域（又はウェル領域）とを隔てる絶縁膜（例えば、シリコン酸化膜 2 4 4 のうちオフセット領域 2 7 1 上の部分）を含むことが好ましい。この絶縁膜により、電荷保持膜に蓄積された電荷の散逸が抑制され、さらに保持特性の良いメモリ素子を得ることができる。

#### 【0 0 8 5】

なお、シリコン窒化膜 2 4 2 a の膜厚を制御すると共に、シリコン窒化膜 2 4 2 a 下の絶縁膜（シリコン酸化膜 2 4 4 のうちオフセット領域 2 7 1 上の部分）の膜厚を一定に制御することにより、半導体基板表面から電荷保持膜中に蓄えられる電荷までの距離を概ね一定に保つことが可能となる。つまり、半導体基板表面から電荷保持膜中に蓄えられる電荷までの距離を、シリコン窒化膜 2 4 2 a 下の絶縁膜の最小膜厚値から、シリコン窒化膜 2 4 2 a 下の絶縁膜の最大膜厚値とシリコン窒化膜 2 4 2 a の最大膜厚値との和までの間に制御することができる。これにより、シリコン窒化膜 2 4 2 a に蓄えられた電荷により発生する電気力線の密度を概ね制御することが可能となり、メモリ素子のメモリ効果の大きさばらつきを非常に小さくすることが可能となる。

#### 【0 0 8 6】

（実施の形態 3）

この実施の形態の半導体記憶装置におけるメモリ機能体 2 6 2 は、電荷保持膜

であるシリコン窒化膜 242 が、図 13 に示すように、略均一な膜厚で、ゲート絶縁膜 214 の表面と略平行に配置され（領域 281）、さらに、ゲート電極 217 側面と略平行に配置された（領域 282）形状を有している。

#### 【0087】

ゲート電極 217 に正電圧が印加された場合には、メモリ機能体 262 中での電気力線 283 は矢印で示すように、シリコン窒化膜 242 を 2 回（領域 282 及び領域 281 部分）通過する。なお、ゲート電極 217 に負電圧が印加された時は電気力線の向きは反対側となる。ここで、シリコン窒化膜 242 の比誘電率は約 6 であり、シリコン酸化膜 241、243 の比誘電率は約 4 である。したがって、電荷保持膜の領域 281 のみが存在する場合よりも、電気力線 283 方向におけるメモリ機能体 262 の実効的な比誘電率が大きくなり、電気力線の両端での電位差をより小さくすることができる。すなわち、ゲート電極 217 に印加された電圧の多くの部分が、オフセット領域 271 における電界を強くするために使われることになる。

#### 【0088】

書換え動作時に電荷がシリコン窒化膜 242 に注入されるのは、発生した電荷がオフセット領域 271 における電界により引き込まれるためである。したがって、矢印 282 で示される電荷保持膜を含むことにより、書換え動作時にメモリ機能体 262 に注入される電荷が増加し、書換え速度が増大する。

#### 【0089】

なお、シリコン酸化膜 243 の部分もシリコン窒化膜であった場合、つまり、電荷保持膜がゲート絶縁膜 214 の表面に対応する高さに対して均一でない場合、シリコン窒化膜の上方向への電荷の移動が顕著になって、保持特性が悪化する。

電荷保持膜は、シリコン窒化膜に代えて、比誘電率が非常に大きい酸化ハフニウムなどの高誘電体により形成されることがより好ましい。

#### 【0090】

さらに、メモリ機能体は、ゲート絶縁膜表面と略平行な電荷保持膜とチャネル領域（又はウェル領域）とを隔てる絶縁膜（シリコン酸化膜 241 のうちオフセ

ット領域 2 7 1 上の部分) をさらに含むことが好ましい。この絶縁膜により、電荷保持膜に蓄積された電荷の散逸が抑制され、さらに保持特性を向上させることができる。

#### 【0 0 9 1】

また、メモリ機能体は、ゲート電極と、ゲート電極側面と略平行な向きに延びた電荷保持膜とを隔てる絶縁膜（シリコン酸化膜 2 4 1 のうちゲート電極 2 1 7 に接した部分）をさらに含むことが好ましい。この絶縁膜により、ゲート電極から電荷保持膜へ電荷が注入されて電気的特性が変化することを防止し、メモリ素子の信頼性を向上させることができる。

#### 【0 0 9 2】

さらに、実施の形態 2 と同様に、シリコン窒化膜 2 4 2 下の絶縁膜（シリコン酸化膜 2 4 1 のうちオフセット領域 2 7 1 上の部分）の膜厚を一定に制御すること、さらにゲート電極側面上に配置する絶縁膜（シリコン酸化膜 2 4 1 のうちゲート電極 2 1 7 に接した部分）の膜厚を一定に制御することが好ましい。これにより、シリコン窒化膜 2 4 2 に蓄えられた電荷により発生する電気力線の密度を概ね制御することができるとともに、電荷リークを防止することができる。

#### 【0 0 9 3】

（実施の形態 4）

この実施の形態では、半導体記憶装置におけるメモリ素子のゲート電極、メモリ機能体及びソース／ドレイン領域間距離の最適化について説明する。

#### 【0 0 9 4】

図 1 4 に示したように、A はチャネル長方向の切断面におけるゲート電極長、B はソース／ドレイン領域間の距離（チャネル長）、C は一方のメモリ機能体の端から他方のメモリ機能体の端までの距離、つまり、チャネル長方向の切断面における一方のメモリ機能体内の電荷を保持する機能を有する膜の端（ゲート電極と離れている側）から他方のメモリ機能体内の電荷を保持する機能を有する膜の端（ゲート電極と離れている側）までの距離を示す。

#### 【0 0 9 5】

このようなメモリ素子では、 $B < C$  であることが好ましい。このような関係を



満たすことにより、チャンネル領域のうちゲート電極 217 下の部分と拡散領域 212、213 との間にはオフセット領域 271 が存在することとなる。これにより、メモリ機能体 261、262（シリコン窒化膜 242）に蓄積された電荷により、オフセット領域 271 の全領域において、反転の容易性が効果的に変動する。したがって、メモリ効果が増大し、特に読出し動作の高速化が実現する。

#### 【0096】

また、ゲート電極 217 と拡散領域 212、213 がオフセットしている場合、つまり、 $A < B$  が成立する場合には、ゲート電極に電圧を印加したときのオフセット領域の反転のしやすさがメモリ機能体に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャンネル効果を低減することができる。

#### 【0097】

ただし、メモリ効果が発現する限りにおいては、必ずしもオフセット領域 271 が存在しなくてもよい。オフセット領域 271 が存在しない場合においても、拡散領域 212、213 の不純物濃度が十分に薄ければ、メモリ機能体 261、262（シリコン窒化膜 242）においてメモリ効果が発現し得る。

このようなことから、 $A < B < C$  であるのが最も好ましい。

#### 【0098】

（実施の形態 5）

この実施の形態における半導体記憶装置のメモリ素子は、図 15 に示すように、実施の形態 2 における半導体基板を SOI 基板とする以外は、実質的に同様の構成を有する。

このメモリ素子は、半導体基板 286 上に埋め込み酸化膜 288 が形成され、さらにその上に SOI 層が形成されている。SOI 層内には拡散領域 212、213 が形成され、それ以外の領域はボディ領域 287 となっている。

#### 【0099】

このメモリ素子によっても、実施の形態 2 のメモリ素子と同様の作用効果を奏する。さらに、拡散領域 212、213 とボディ領域 287 との接合容量を著しく小さくすることができるので、素子の高速化や低消費電力化が可能となる。

## 【0100】

(実施の形態6)

この実施の形態の半導体記憶装置におけるメモリ素子は、図16に示すように、N型の拡散領域212、213のチャネル側に隣接して、P型高濃度領域291を追加した以外は、実施の形態2のメモリ素子と実質的に同様の構成を有する。

## 【0101】

すなわち、P型高濃度領域291におけるP型を与える不純物（例えばボロン）濃度が、領域292におけるP型を与える不純物濃度より高い。P型高濃度領域291におけるP型の不純物濃度は、例えば、 $5 \times 10^{17} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度が適当である。また、領域292のP型の不純物濃度は、例えば、 $5 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ とすることができる。

## 【0102】

このように、P型高濃度領域291を設けることにより、拡散領域212、213と半導体基板211との接合が、メモリ機能体261、262の直下で急峻となる。そのため、書込み及び消去動作時にホットキャリアが発生し易くなり、書込み動作及び消去動作の電圧を低下させ、あるいは書込み動作及び消去動作を高速にすることが可能となる。さらに、領域292の不純物濃度は比較的薄いので、メモリが消去状態にあるときの閾値が低く、ドレイン電流は大きくなる。そのため、読出し速度が向上する。したがって、書換え電圧が低く又は書換え速度が高速で、かつ、読出し速度が高速なメモリ素子を得ることができる。

## 【0103】

また、図16において、ソース／ドレイン領域近傍であってメモリ機能体の下（すなわち、ゲート電極の直下ではない）において、P型高濃度領域291を設けることにより、トランジスタ全体としての閾値は著しく上昇する。この上昇の程度は、P型高濃度領域291がゲート電極の直下にある場合に比べて著しく大きい。メモリ機能体に書込み電荷（トランジスタがNチャネル型の場合は電子）が蓄積した場合は、この差がいっそう大きくなる。一方、メモリ機能体に十分な消去電荷（トランジスタがNチャネル型の場合は正孔）が蓄積された場合は、ト

ランジスタ全体としての閾値は、ゲート電極下のチャネル領域（領域 2 9 2）の不純物濃度で決まる閾値まで低下する。すなわち、消去時の閾値は、P 型高濃度領域 2 9 1 の不純物濃度には依存せず、一方で、書込み時の閾値は非常に大きな影響を受ける。よって、P 型高濃度領域 2 9 1 をメモリ機能体の下であってソース／ドレイン領域近傍に配置することにより、書込み時の閾値のみが非常に大きく変動し、メモリ効果（書込み時と消去時での閾値の差）を著しく増大させることができる。

#### 【0 1 0 4】

（実施の形態 7）

この実施の形態の半導体記憶装置におけるメモリ素子は、図 1 7 に示すように、電荷保持膜（シリコン窒化膜 2 4 2）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さ（ $T_1$ ）が、ゲート絶縁膜の厚さ（ $T_2$ ）よりも薄いこと以外は、実施の形態 2 と実質的に同様の構成を有する。

#### 【0 1 0 5】

ゲート絶縁膜 2 1 4 は、メモリの書換え動作時における耐圧の要請から、その厚さ  $T_2$  には下限値が存在する。しかし、絶縁膜の厚さ  $T_1$  は、耐圧の要請にかかわらず、 $T_2$  よりも薄くすることが可能である。

このメモリ素子において、上述のように  $T_1$  に対する設計の自由度が高いのは以下の理由による。

#### 【0 1 0 6】

つまり、このメモリ素子においては、電荷保持膜とチャネル領域又はウェル領域とを隔てる絶縁膜は、ゲート電極とチャネル領域又はウェル領域とに挟まれていない。そのため、電荷保持膜とチャネル領域又はウェル領域とを隔てる絶縁膜には、ゲート電極とチャネル領域又はウェル領域間に働く高電界が直接作用せず、ゲート電極から横方向に広がる比較的弱い電界が作用する。そのため、ゲート絶縁膜に対する耐圧の要請にかかわらず、 $T_1$  を  $T_2$  より薄くすることが可能になる。

#### 【0 1 0 7】

$T_1$  を薄くすることにより、メモリ機能体への電荷の注入が容易になり、書込

み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にすることが可能となり、また、シリコン窒化膜 242 に電荷が蓄積された時にチャネル領域又はウェル領域に誘起される電荷量が増えるため、メモリ効果を増大させることができる。

#### 【0108】

ところで、メモリ機能体中での電気力線は、図 23 の矢印 284 で示すように、シリコン窒化膜 242 を通過しない短いものもある。このような短い電気力線上では比較的電界強度が大きいので、この電気力線に沿った電界は書換え動作時においては大きな役割を果たしている。T1 を薄くすることによりシリコン窒化膜 242 が図の下側に移動し、矢印 283 で示す電気力線がシリコン窒化膜を通過するようになる。それゆえ、電気力線 284 に沿ったメモリ機能体中の実効的な比誘電率が大きくなり、電気力線の両端での電位差をより小さくすることができる。したがって、ゲート電極 217 に印加された電圧の多くの部分が、オフセット領域における電界を強くするために使われ、書込み動作及び消去動作が高速になる。

#### 【0109】

これに対して、例えば、フラッシュメモリに代表される EEPROM においては、フローティングゲートとチャネル領域又はウェル領域とを隔てる絶縁膜は、ゲート電極（コントロールゲート）とチャネル領域又はウェル領域に挟まれているので、ゲート電極からの高電界が直接作用する。それゆえ、EEPROM においては、フローティングゲートとチャネル領域又はウェル領域とを隔てる絶縁膜の厚さが制限され、メモリ素子の機能の最適化が阻害される。

#### 【0110】

以上より明らかなように、 $T1 < T2$  とすることにより、メモリの耐圧性能を低下させることなく、書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にし、さらにメモリ効果を増大することが可能となる。なお、絶縁膜の厚さ T1 は、製造プロセスによる均一性や膜質が一定の水準を維持することが可能であり、かつ保持特性が極端に劣化しない限界となる 0.8 nm 以上であることがより好ましい。

**【0111】**

具体的には、デザインルールの大きな高耐圧が必要とされる液晶ドライバLSIのような場合、液晶パネルTF Tを駆動するために、最大15～18Vの電圧が必要となる。このため、通常、ゲート酸化膜を薄膜化することができない。液晶ドライバLSIに画像調整用として本発明の不揮発性メモリを混載する場合、本発明のメモリ素子ではゲート絶縁膜厚とは独立して電荷保持膜（シリコン窒化膜242）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さを最適に設計できる。例えば、ゲート電極長（ワード線幅）250nmのメモリセルに対して、 $T1 = 20\text{ nm}$ 、 $T2 = 10\text{ nm}$ で個別に設定でき、書込み効率の良いメモリセルを実現できる。（ $T1$ が通常のロジックトランジスタよりも厚くても短チャネル効果が発生しない理由はゲート電極に対して、ソース・ドレイン領域がオフセットしているためである）。

**【0112】**

（実施の形態8）

この実施の形態の半導体記憶装置におけるメモリ素子は、図18に示すように、電荷保持膜（シリコン窒化膜242）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さ（ $T1$ ）が、ゲート絶縁膜の厚さ（ $T2$ ）よりも厚いこと以外は、実施の形態2と実質的に同様の構成を有する。

**【0113】**

ゲート絶縁膜214は、素子の短チャネル効果防止の要請から、その厚さ $T2$ には上限値が存在する。しかし、絶縁膜の厚さ $T1$ は、短チャネル効果防止の要請にかかわらず、 $T2$ よりも厚くすることが可能である。すなわち、微細化スケールリングが進んだとき（ゲート絶縁膜の薄膜化が進行したとき）にゲート絶縁膜厚とは独立して電荷保持膜（シリコン窒化膜242）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さを最適に設計できるため、メモリ機能体がスケールリングの障害にならないという効果を奏する。

**【0114】**

このメモリ素子において、上述のように $T1$ に対する設計の自由度が高い理由は、既に述べた通り、電荷保持膜とチャネル領域又はウェル領域とを隔てる絶縁

膜が、ゲート電極とチャネル領域又はウェル領域とに挟まれていないことによる。そのため、ゲート絶縁膜に対する短チャネル効果防止の要請にかかわらず、 $T_1$  を  $T_2$  より厚くすることが可能になる。

#### 【0 1 1 5】

$T_1$  を厚くすることにより、メモリ機能体に蓄積された電荷が散逸するのを防ぎ、メモリの保持特性を改善することが可能となる。

したがって、 $T_1 > T_2$  とすることにより、メモリの短チャネル効果を悪化させることなく保持特性を改善することが可能となる。

なお、絶縁膜の厚さ  $T_1$  は、書換え速度の低下を考慮して、20 nm 以下であることが好ましい。

#### 【0 1 1 6】

具体的には、フラッシュメモリに代表される従来の不揮発性メモリは、選択ゲート電極が書込み消去ゲート電極を構成し、前記書込み消去ゲート電極に対応するゲート絶縁膜（フローティングゲートを内包する）が電荷蓄積膜を兼用している。このため、微細化（短チャネル効果抑制のため薄膜化が必須）の要求と、信頼性確保（保持電荷のリーク抑制のため、フローティングゲートとチャネル領域又はウェル領域とを隔てる絶縁膜の厚さは7 nm程度以下には薄膜化できない）の要求が相反するため、微細化が困難となる。実際、ITRS（International Technology Roadmap for Semiconductors）によれば、物理ゲート長の微細化は0.2ミクロン程度以下に対して目処が立っていない。このメモリ素子では、上述したように  $T_1$  と  $T_2$  を個別に設計できることにより、微細化が可能となる。

#### 【0 1 1 7】

例えば、ゲート電極長（ワード線幅）45 nmのメモリセルに対して、 $T_2 = 4$  nm、 $T_1 = 7$  nmで個別に設定し、短チャネル効果の発生しないメモリ素子を実現することができる。 $T_2$  を通常のロジックトランジスタよりも厚く設定しても短チャネル効果が発生しない理由は、ゲート電極に対して、ソース／ドレイン領域がオフセットしているためである。

また、このメモリ素子は、ゲート電極に対して、ソース／ドレイン領域がオフセットしているため、通常のロジックトランジスタと比較してもさらに微細化を

容易にする。

#### 【0118】

つまり、メモリ機能体の上部に書込、消去を補助する電極が存在しないため、電荷保持膜とチャネル領域又はウェル領域とを隔てる絶縁膜には、書込、消去を補助する電極とチャネル領域又はウェル領域間に働く高電界が直接作用せず、ゲート電極から横方向に広がる比較的弱い電界が作用するのみである。そのため、同じ加工世代に対してロジックトランジスタのゲート長と同程度以上に微細化されたゲート長を保有するメモリ素子を実現することができる。

#### 【0119】

(実施の形態9)

この実施の形態は、半導体記憶装置のメモリ素子の書換えを行ったときの電気特性の変化に関する。

Nチャネル型メモリ素子において、メモリ機能体中の電荷量が変わったとき、図19に示すような、ドレイン電流 ( $I_d$ ) 対ゲート電圧 ( $V_g$ ) 特性 (実測値) を示す。

#### 【0120】

図19から明らかなように、消去状態 (実線) から書込み動作を行った場合、単純に閾値が上昇するのみならず、特にサブスレッショルド領域においてグラフの傾きが顕著に減少している。そのため、ゲート電圧 ( $V_g$ ) が比較的高い領域においても、消去状態と書込み状態でのドレイン電流比が大きくなる。例えば、 $V_g = 2.5\text{ V}$  においても、電流比は2桁以上を保っている。この特性は、フラッシュメモリの場合 (図28) と大きく異なる。

#### 【0121】

このような特性の出現は、ゲート電極と拡散領域とがオフセットし、ゲート電界がオフセット領域に及びにくいために起こる特有な現象である。メモリ素子が書込み状態にあるときには、ゲート電極に正電圧を加えてもメモリ機能体下のオフセット領域には反転層が極めてできにくい状態になっている。これが、書込み状態においてサブスレッショルド領域での  $I_d - V_g$  曲線の傾きが小さくなる原因となっている。

## 【0122】

一方、メモリ素子が消去状態にあるときには、オフセット領域には高密度の電子が誘起されている。さらに、ゲート電極に 0 V が印加されているとき（すなわちオフ状態にあるとき）は、ゲート電極下のチャネルには電子が誘起されない（そのためオフ電流が小さい）。これが、消去状態においてサブスレッショルド領域での  $I_d - V_g$  曲線の傾きが大きく、かつ閾値以上の領域でも電流の増加率（コンダクタンス）が大きい原因となっている。

## 【0123】

以上のことから明らかなように、本発明の半導体記憶素子を構成するメモリ素子は、書込み時と消去時のドレイン電流比を特に大きくすることができる。

以上、本発明の半導体記憶装置の不揮発性メモリ部を構成するメモリ素子について説明した。

以下に、前記メモリ素子を有する不揮発性メモリ部と揮発性メモリ部とを備えた半導体記憶装置について説明する。

## 【0124】

（実施の形態 10）

この実施の形態は、実施の形態 1～8 に記載のメモリ素子を複数配列した不揮発性メモリ部と、揮発性メモリ部とを備えた半導体記憶装置に関する。

## 【0125】

図 20 は、この実施の形態の半導体記憶装置を説明するブロック図である。図 20 に示す半導体装置は、半導体記憶装置 11（図 20 の点線で囲まれた領域で示す）と論理演算回路からなる CPU（Central Processing Unit）301 とからなる。半導体記憶装置 11 は、不揮発性メモリ部 302 及び揮発性メモリ部 303 からなる。

## 【0126】

不揮発性メモリ部 302 は、実施の形態 1～8 に記載のメモリ素子が複数配列してなるメモリセルアレイを備えている。不揮発性メモリ部 302 はまた、メモリセルアレイを駆動するための周辺回路部を備えている（図示せず）。

## 【0127】



図 21 に、前記メモリセルアレイの一例の回路図を示す。簡単のため、メモリ素子は通常のエ界効果トランジスタをあらわす記号で表現している。メモリセル  $M_{ij}$  ( $i=1, 2, 3, 4, j=1, 2, 3, 4, 5$ ) は、ゲート電極がワード線  $WL_i$  ( $i=1, 2, 3, 4$ ) に、拡散層領域の一方がビット線  $BL_j$  ( $j=1, 2, 3, 4, 5$ ) に、拡散層領域の他方がビット線  $BL_j$  ( $j=2, 3, 4, 5, 6$ ) に、それぞれ接続されている。

#### 【0128】

次にこのメモリセルアレイの動作方法についての説明を行なう。

まず、読み出し方法について説明する。ここで、メモリセル  $M_{23}$  のビット線  $BL_3$  側のメモリ記憶部 ( $M_1$ ) の記憶情報を読み出すものとする。まず、ビット線  $BL_3$  を論理レベル  $L$  に、 $BL_4$  を論理レベル  $H$  に、それぞれプリチャージを行なう。ここで更に、ビット線  $BL_3$  の、ビット線  $4$  とは反対側に隣接したビット線 ( $BL_2$ ) を論理レベル  $L$  にプリチャージし、ビット線  $BL_4$  の、ビット線  $3$  とは反対側に隣接したビット線 ( $BL_5$ ) を論理レベル  $H$  にプリチャージしておくのが好ましい。プリチャージが完了した後、ワード線  $WL_2$  を論理レベル  $H$  にする。ワード線  $WL_2$  が論理レベル  $H$  になった瞬間、メモリセル  $M_{23}$  はオン状態になる。このとき、メモリセル  $M_{23}$  のソース・ドレイン間に高い電圧 (論理レベル  $H$  - 論理レベル  $L$ ) がかかり電流が流れるのであるが、メモリ記憶部  $M_1$  の状態によって電流量は変化する。したがって、ビット線  $BL_3$  又は  $BL_4$  に流れる電流量を検知するか、若しくはビット線  $BL_3$  又は  $BL_4$  の電位変化をモニターすることにより、メモリ記憶部  $M_1$  の状態を知ることができるのである。

#### 【0129】

前記動作において、ビット線  $BL_2$  を論理レベル  $L$  にプリチャージしていなかった場合、ワード線  $WL_2$  が論理レベル  $H$  になった瞬間、メモリセル  $M_{22}$  がオン状態になって、ビット線  $BL_2$  からビット線  $BL_3$  へ電流が流れてしまう。このような電流は、選択されたメモリセル  $M_{23}$  に流れる電流の検知を阻害する。したがって、ビット線  $BL_2$  は、ビット線  $BL_3$  と同じ論理レベル  $L$  にプリチャージするのが好ましいのである。同様に、ビット線  $BL_5$  は、ビット線  $BL_4$  と

同じ論理レベルHにプリチャージするのが好ましい。

#### 【0 1 3 0】

実施の形態9で述べたように、前記メモリ素子は、書込み時と消去時のドレイン電流比（読出し電流比）を特に大きくすることができるから、書込み状態と消去状態との判別が容易となる。したがって、本発明の半導体記憶装置の不揮発性メモリ部に前記メモリ素子を用いた場合、不揮発性メモリ部に記憶された情報の読出し速度が向上し、又は不揮発性メモリ部の読出し回路の構成を単純にすることができる。

#### 【0 1 3 1】

次に、書換え方法について説明する。ここで、書換えとは、メモリセルに書込み又は消去を行なうことを指している。書込み又は消去を行なうためには、書込み又は消去を行なうべきメモリセルの各端子に実施の形態1で説明した電圧が印加されるように、各ワード線及びビット線に適切な電圧を印加すればよい。例としてメモリセルM23のメモリ記憶部M1に書込みを行なう場合は、例えば、ビット線BL3に+5V、BL4に0V、ワード線WL2に+5V、その他のワード線（WL1、WL3～WL5）に0Vを印加して、その他のビット線（BL1、BL2、BL5、BL6）を開放すればよい。

#### 【0 1 3 2】

揮発性メモリ部303は、例えばSRAMにより構成されている。SRAMは、一般的な6トランジスタ型のものであってもよいし、より占有面積の小さな4トランジスタ型のものであってもよい。SRAMは、リフレッシュ動作が不要であり、非動作時（待機時）の消費電流が小さいという特徴をもつ。

#### 【0 1 3 3】

CPU301は、半導体記憶装置11を構成する不揮発性メモリ部302及び揮発性メモリ部303とそれぞれ接続されており、各メモリ部に命令を与え、各メモリ部とデータのやり取りを行なう。不揮発性メモリ部302には、CPUの動作に必要なプログラムコードや文字キャラクタなどの、頻繁に書換えの必要がないデータが記憶される。一方、揮発性メモリ部303は、キャッシュなどのワークメモリとして使用される。なお、必要であれば、不揮発性メモリ部302の

一部をワークメモリとして使用しても良い。

#### 【 0 1 3 4 】

不揮発性メモリ部 3 0 2 は実施の形態 1 ～ 8 に記載のメモリ素子を備えている。実施の形態 1 ～ 8 に記載のメモリ素子は、既に述べたように微細化が容易であり、フローティングゲートを持つ E E P R O M に比べて製造プロセスが簡易であるから、製造コストが低い。したがって、不揮発性メモリ部と揮発性メモリ部とを備えた半導体記憶装置が低コストで提供される。また、前記メモリ素子は、書込み時と消去時における電流差を大きくすることが容易なので、本発明の半導体記憶装置の不揮発性メモリ部に前記メモリ素子を用いた場合、不揮発性メモリ部に記憶された情報の読出し速度が向上し、又は不揮発性メモリ部の読出し回路の構成を単純にすることができる。

#### 【 0 1 3 5 】

本発明の半導体記憶装置と論理演算部とを備えた半導体装置もまた、製造コストを低減することができる。

本実施の形態の不揮発性メモリ部に用いるメモリ素子は、実施の形態 7 のメモリ素子を用いることが好ましい。すなわち、電荷保持膜（シリコン窒化膜 2 4 2）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さ（ $T_1$ ）が、ゲート絶縁膜の厚さ（ $T_2$ ）よりも薄く、0.8 nm 以上であることが好ましい。このようなメモリ素子を不揮発性メモリ部に用いれば、書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にすることが可能となる。また、メモリ素子のメモリ効果が増大するので、不揮発性メモリ部の読出し速度を高速にすることが可能となる。したがって、半導体記憶装置の低消費電力化及び高速動作化が可能となる。

#### 【 0 1 3 6 】

本実施の形態の不揮発性メモリ部に用いるメモリ素子は、実施の形態 8 のメモリ素子を用いることが好ましい。すなわち、電荷保持膜（シリコン窒化膜 2 4 2）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さ（ $T_1$ ）が、ゲート絶縁膜の厚さ（ $T_2$ ）よりも厚く、20 nm 以下であることが好ましい。このようなメモリ素子を不揮発性メモリ部に用いれば、メモリ素子の短チャネル効果を悪

化させることなく保持特性を改善することができるから、不揮発性メモリ部を高集積化しても十分な記憶保持性能を得ることができる。したがって、半導体記憶装置の記憶容量を大きくし、若しくは半導体記憶装置の製造コストを低減することができる。

#### 【0 1 3 7】

本実施の形態の不揮発性メモリ部に用いるメモリ素子は、実施の形態 2 に記載するように、メモリ機能体 2 6 1、2 6 2 における電荷を保持する領域（シリコン窒化膜 2 4 2）は、拡散領域 2 1 2、2 1 3 とそれぞれオーバーラップするのが好ましい。このようなメモリ素子を不揮発性メモリ部に用いれば、不揮発性メモリ部の読出し速度を十分に高速にすることができる。したがって、半導体記憶装置の高速動作化が可能となる。

#### 【0 1 3 8】

本実施の形態の不揮発性メモリ部に用いるメモリ素子は、実施の形態 2 に記載するように、メモリ機能体は、ゲート絶縁膜表面と略平行に配置されるな電荷保持膜を含むことが好ましい。このようなメモリ素子を不揮発性メモリ部に用いれば、メモリ素子のメモリ効果のばらつきを小さくすることができるので、不揮発性メモリ部の読出し電流ばらつきを抑えることができる。さらに、記憶保持中のメモリ素子の特性変化を小さくすることができるので、不揮発性メモリ部の記憶保持特性が向上する。したがって、半導体記憶装置の信頼性が向上する。

#### 【0 1 3 9】

本実施の形態の不揮発性メモリ部に用いるメモリ素子は、実施の形態 3 に記載するように、メモリ機能体は、ゲート絶縁膜表面と略平行に配置されるな電荷保持膜を含み、かつ、ゲート電極側面と略並行に延びた部分を含むことが好ましい。このようなメモリ素子を不揮発性メモリ部に用いれば、メモリ素子の書換え速度が増大するので、不揮発性メモリ部の書換え動作を高速にすることができる。したがって、半導体記憶装置の高速動作化が可能となる。

#### 【0 1 4 0】

本実施の形態の不揮発性メモリ部に用いるメモリ素子は、既に述べた最良の形態のメモリ素子を用いるのが、最も好ましい。それにより、半導体記憶装置の不

揮発性メモリ部の性能を最良のものにすることができる。

#### 【0 1 4 1】

(実施の形態 1 1)

本実施の形態の半導体装置は、実施の形態 1 0 の半導体装置とは、論理演算回路からなる CPU を複数有し、それぞれの CPU が半導体記憶装置を有しているという点で異なる。

#### 【0 1 4 2】

本実施の形態の半導体装置は、図 2 2 に示すように、メイン CPU 3 0 4 及びサブ CPU 3 0 7 を備え、それぞれの CPU は半導体記憶装置 1 2 及び 1 3 を備えている。前記半導体記憶装置 1 2 及び 1 3 は、それぞれ不揮発性メモリ部 3 0 5 及び 3 0 8 と揮発性メモリ部 3 0 6 及び 3 0 9 とを備えている。

#### 【0 1 4 3】

本実施の形態の半導体装置を、例えば、携帯電話に組み込む場合、メイン CPU 3 0 4 をベースバンド部 CPU としてデータ通信プロトコルや基本的な電話機能に纏わる処理をさせて、サブ CPU 3 0 9 をアプリケーション用 CPU として J a v a (登録商標) などのアプリケーションに纏わる処理をさせることができる。本実施の形態の半導体装置は、2 組の CPU と半導体記憶装置からなるが、無論 3 組以上であってもよい。

論理演算回路からなる CPU を複数有し、それぞれの CPU が不揮発性メモリと揮発性メモリとからなる半導体記憶装置を備えることにより、より高機能な動作を行なうことが可能となる。

#### 【0 1 4 4】

(実施の形態 1 2)

本実施の形態は、実施の形態 1 0 又は 1 1 を構成する半導体記憶装置を 1 つのパッケージに実装したものである。

実施の形態 1 0 及び 1 1 の半導体記憶装置 1 1、1 2、1 3 は、それぞれ不揮発性メモリ部と揮発性メモリ部とを有している。図 2 3 に示すように、不揮発性メモリ部が形成されたチップ 3 2 2 と揮発性メモリ部が形成されたチップ 3 2 3 が 1 つのパッケージ 1 4 に実装されている。図 2 3 中、3 2 1 は PCB (Printe

d Circuit Board)、3 2 4 及び 3 2 5 は絶縁体、3 2 6 及び 3 2 7 は金ワイヤー、3 2 8 は溶剤ボールである。

#### 【0 1 4 5】

不揮発性メモリ部が形成されたチップと揮発性メモリ部が形成されたチップを 1 つのパッケージ内に実装することにより、半導体記憶装置を小型化することができる。例えば、携帯電話の場合は特に部品の小型化への要求が強いので、本実施の形態の半導体記憶装置を用いるのが好ましい。なお、1 つのパッケージ内に、半導体記憶装置に加えて論理演算部からなる CPU も混載してもよい。その場合、CPU も含めた半導体装置を小型化することができる。

#### 【0 1 4 6】

##### (実施の形態 1 3)

本実施の形態は、実施の形態 1 0 又は 1 1 を構成する半導体記憶装置を 1 つのチップ上に形成したものである。

不揮発性メモリ部を構成するメモリ素子は、実施の形態 1 ～ 8 に記載のメモリ素子である。実施の形態 1 ～ 8 に記載のメモリ素子を形成するプロセスは、通常のトランジスタを形成するプロセスとの親和性が高い。一方、揮発性メモリ部は、例えば、SRAM よりなる。SRAM は通常のトランジスタを組み合わせで構成されている。したがって、本実施の形態の半導体記憶装置は、通常のトランジスタを形成するプロセスと親和性の高いプロセスで容易に形成することができる。

#### 【0 1 4 7】

図 2 4 は、不揮発性メモリ部を構成する素子と揮発性メモリ部を構成する素子が 1 つのチップ上に形成されることを模式的に示した断面図である。不揮発性メモリ部を構成するメモリ素子は、例として、実施の形態 2 の図 8 に示した構造を有するとしている。なお、図 8 で既に示された符号については、説明を省略する。また、揮発性メモリ部の SRAM は、相補型 MOS により構成されていてもよいが、図 2 4 では簡単のため、NMOS の断面のみを示している。

#### 【0 1 4 8】

1 つの半導体基板 2 1 1 上に、不揮発性メモリ部のメモリ素子 2 1 と揮発性メ

メモリ部のSRAMを構成するトランジスタ22が形成されている。トランジスタ22は、通常構造のMOSFETである。ただし、トランジスタ22のゲート側壁絶縁膜は、シリコン窒化膜242がシリコン酸化膜メモリ素子241、243で挟まれた構造を有しており、メモリ素子21のゲート側壁絶縁膜と同様な構造を有している。図24において、メモリ素子21とトランジスタ22との構造上の違いは、トランジスタ22はLDD (Lightly Doped Drain) 領域若しくはエクステンション領域351を有しており、メモリ素子21はLDD領域若しくはエクステンション領域を有しないことである。なお、352は素子分離領域である。

#### 【0149】

本実施の形態の半導体記憶装置は以下の手順で形成することができる。

まず、公知の手順で半導体基板上にゲート絶縁膜214及びゲート電極217を形成する。

#### 【0150】

次に、フォトリジストを塗布してから不揮発性メモリ部のメモリ素子21部分にフォトリジストが残るようにパターニングを行なう。続いて、フォトリジスト及びゲート電極をマスクとしてN型の不純物注入を行い、LDD領域若しくはエクステンション領域351を形成する。前記説明により明らかなように、メモリ素子21にはLDD領域若しくはエクステンション領域は形成されない。

#### 【0151】

次に、基板上全面にシリコン酸化膜／シリコン窒化膜／シリコン酸化膜なる多層膜を形成し、等方性エッチングによりエッチングバックを行なってゲート側壁絶縁膜を形成する。

次に、ゲート絶縁膜及びゲート側壁絶縁膜をマスクとしてN型の不純物注入を行い、拡散領域212、213を形成する。

次に、公知の方法で上部配線を形成して半導体記憶装置が完成する。

#### 【0152】

なお、メモリ素子21の性能を最適化するため、半導体基板211内にウェル領域を形成し、又はメモリ素子21のウェル領域の不純物濃度をトランジスタ2

2 のウェル領域の不純物濃度と異なるようにしてもよい。また、メモリ素子 2 1 の拡散領域の不純物濃度を、トランジスタ 2 2 と異なるようにしてもよい。

### 【 0 1 5 3 】

前記手順から明らかなように、1 つのチップ上に不揮発性メモリ部と揮発性メモリ部を非常に簡易なプロセスで形成することができる。特に、不揮発性メモリ部がフローティングゲートを有する E E P R O M からなる場合と比較すると、工程数が著しく減少する。したがって、半導体記憶装置を小型化するとともに、半導体記憶装置のコストを著しく削減することが可能となる。

### 【 0 1 5 4 】

なお、論理演算回路からなる C P U も通常構造のトランジスタよりなるので、前記半導体記憶装置に加えて、C P U も 1 つのチップ上に容易に混載することが可能である。この場合、C P U も含めた半導体装置を小型化することができる。

### 【 0 1 5 5 】

(実施の形態 1 4)

本実施の形態は、実施の形態 1 0 又は 1 1 とは、揮発性メモリ部に D R A M を備えたことにおいて相違する。

### 【 0 1 5 6 】

図 2 5 に示すように、メイン C P U 3 1 1 及びサブ C P U 3 1 5 は、それぞれ半導体記憶装置 1 5 及び 1 6 を備えている。半導体記憶装置 1 5 は、不揮発性メモリ部 3 1 2 と D R A M からなる揮発性メモリ部 3 1 4、及びインターフェイス回路部 3 1 3 とからなる。インターフェイス回路部 3 1 3 は、D R A M からなる揮発性メモリ部 3 1 4 のリフレッシュ動作を自動的に行なう機能を有することが好ましい。このようにすれば、半導体記憶装置 1 5 から見て外部にあるメイン C P U 3 1 1 は、揮発性メモリ部 3 1 4 のリフレッシュ動作を行なうことが不要となり、若しくは揮発性メモリ部 3 1 4 に対してリフレッシュ動作を行なう命令を出す必要がなくなる。これにより、メイン C P U の設計が容易となる。特にメイン C P U が汎用機種である場合は、設計変更に要するコストを削減できる効果が大きい。

### 【 0 1 5 7 】



更には、メイン CPU 3 1 1 が、S R A M の場合と同様に D R A M からなる揮発性メモリ部 3 1 4 を制御できるようになるのが好ましく、そのための機能をインターフェイス回路部 3 1 3 が有することが好ましい。すなわち、揮発性メモリ部 3 1 4 とインターフェイス回路部 3 1 3 とが一体となって擬似 S R A M として機能することが、より好ましい。

#### 【0 1 5 8】

半導体記憶装置 1 6 は、不揮発性メモリ部 3 1 6 と S R A M からなる揮発性メモリ部 3 1 7 とからなるが、無論半導体記憶装置 1 5 と同じ構成であってもよい。

揮発性メモリ部に D R A M を用いることにより、ビット当たりの占有面積を著しく小さくすることができる。したがって、半導体記憶装置のコストを削減し、又は記憶容量を大きくすることができる。

#### 【0 1 5 9】

(実施の形態 1 5)

上述した半導体記憶装置又は半導体装置が組み込まれた携帯電子機器である携帯電話を、図 2 6 に示す。

この携帯電話は、主として、制御回路 8 1 1、電池 8 1 2、R F (無線周波数) 回路 8 1 3、表示装置 8 1 4、アンテナ 8 1 5、信号線 8 1 6、電源線 8 1 7 等によって構成されている。制御回路 8 1 1 は上述した半導体記憶装置又は半導体装置が組み込まれているので、安価な携帯電子機器を得ることができる。

#### 【0 1 6 0】

【発明の効果】

以上より明らかなように、第 1 の発明の半導体記憶装置によれば、前記不揮発性メモリ部は、微細化が容易で製造プロセスが簡易なメモリ素子を有しているから、不揮発性メモリ部と揮発性メモリ部とを備えた半導体記憶装置が低コストで提供される。また、前記メモリ素子は、書込み時と消去時における電流差を大きくすることが容易なので、不揮発性メモリ部に記憶された情報の読出し速度が向上し、又は不揮発性メモリ部の読出し回路の構成を単純にすることができる。

#### 【0 1 6 1】

一実施の形態では、前記揮発性メモリ部は S R A M を備えているので、半導体記憶装置の消費電力を抑制することができる。

また、一実施の形態では、前記不揮発性メモリ素子と S R A M は 1 つのチップ上に形成されているので、前記不揮発性メモリ素子は通常構造のトランジスタと親和性の高いプロセスにより形成することが可能であり、前記 S R A M は通常構造のトランジスタで構成することができる。そのため、非常に簡易なプロセスで不揮発性メモリ部と揮発性メモリ部を 1 つのチップ上に混載することができる。したがって、半導体記憶装置を小型化するとともに、半導体記憶装置のコストを著しく削減することが可能となる。

#### 【 0 1 6 2 】

また、一実施の形態では、前記揮発性メモリ部は D R A M を備えているので、前記揮発性メモリ部のビット当たりの占有面積を著しく小さくすることができる。したがって、半導体記憶装置のコストを削減し、又は記憶容量を大きくすることができる。

また、一実施の形態では、前記揮発性メモリ部は、D R A M をリフレッシュするリフレッシュ動作手段を更に備えるので、C P U などの外部制御装置と半導体記憶装置とを組み合わせた場合に、外部制御装置は揮発性メモリ部のリフレッシュ動作を行なうことが不要となり、若しくは揮発性メモリ部に対してリフレッシュ動作を行なう命令を出す必要がなくなる。したがって、外部制御装置の設計が容易となる。特に外部制御装置の汎用化が容易となる。

#### 【 0 1 6 3 】

また、一実施の形態では、前記不揮発性メモリ部が形成されたチップと、前記揮発性メモリ部が形成されたチップとが 1 つのパッケージ内に実装されているので、半導体記憶装置を小型化することができる。

また、第 2 の発明の半導体装置によれば、微細化が容易で製造プロセスが簡易なメモリ素子を有する半導体記憶装置と、論理演算部とを備えているから、種々の演算が可能な半導体装置が低コストで提供される。

#### 【 0 1 6 4 】

また、一実施の形態では、メモリ機能体が、少なくとも一部を拡散領域の一部

にオーバーラップするように形成されてなるから、不揮発性メモリ素子の読出し速度を十分に高速にすることができる。したがって、半導体記憶装置の高速動作化が可能となる。

#### 【0165】

また、一実施の形態では、前記メモリ機能体が、電荷を保持する機能を有する膜を備え、該電荷を保持する機能を有する膜の表面が、ゲート絶縁膜の表面と略平行に配置してなるから、不揮発性メモリ素子のメモリ効果のばらつきを小さくすることができる。そのため、不揮発性メモリ素子の読出し電流ばらつきを抑えることができる。さらに、記憶保持中の不揮発性メモリ素子の特性変化を小さくすることができるので、不揮発性メモリ素子の記憶保持特性が向上する。したがって、半導体記憶装置の信頼性が向上する。

#### 【0166】

また、一実施の形態では、さらに、電荷を保持する機能を有する膜が、ゲート電極側面と略平行に配置してなるから、不揮発性メモリ素子の書換え速度が増大する。そのため、不揮発性メモリ素子の書換え動作を高速にすることができる。したがって、半導体記憶装置の高速動作化が可能となる。

また、一実施の形態では、メモリ機能体が、電荷を保持する機能を有する膜とチャネル領域又は半導体層とを隔てる絶縁膜を有し、

#### 【0167】

該絶縁膜が、ゲート絶縁膜よりも薄く、かつ 0.8 nm 以上の膜厚を有するから、不揮発性メモリ素子の書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にすることが可能となる。また、不揮発性メモリ素子のメモリ効果が増大するので、不揮発性メモリ部の読出し速度を高速にすることが可能となる。したがって、半導体記憶装置の低消費電力化及び高速動作化が可能となる。

また、一実施の形態では、メモリ機能体が、電荷を保持する機能を有する膜とチャネル領域又は半導体層とを隔てる絶縁膜を有し、

#### 【0168】

該絶縁膜が、ゲート絶縁膜よりも厚く、かつ 20 nm 以下の膜厚を有するから

、不揮発性メモリ素子の短チャネル効果を悪化させることなく保持特性を改善することができる。そのため、不揮発性メモリ素子を高集積化しても十分な記憶保持性能を得ることができる。したがって、半導体記憶装置の記憶容量を大きくし、若しくは半導体記憶装置の製造コストを低減することができる。

また、第 3 の発明である携帯電子機器によれば、低コストな第 1 の発明の半導体記憶装置又は第 2 の発明の半導体装置を備えているので、携帯電子機器の製造コストを低減することができる。

**【図面の簡単な説明】**

【図 1】本発明の表示用駆動装置の不揮発性メモリ部を構成するメモリ素子（実施の形態 1）の要部の概略断面図である。

【図 2】本発明の表示用駆動装置の不揮発性メモリ部を構成するメモリ素子（実施の形態 1）の変形の要部の概略断面図である。

【図 3】本発明の表示用駆動装置の不揮発性メモリ部を構成するメモリ素子（実施の形態 1）の書き込み動作を説明する図である。

【図 4】本発明の表示用駆動装置の不揮発性メモリ部を構成するメモリ素子（実施の形態 1）の書き込み動作を説明する図である。

【図 5】本発明の表示用駆動装置の不揮発性メモリ部を構成するメモリ素子（実施の形態 1）の消去動作を説明する図である。

【図 6】本発明の表示用駆動装置の不揮発性メモリ部を構成するメモリ素子（実施の形態 1）の消去動作を説明する図である。

【図 7】本発明の表示用駆動装置の不揮発性メモリ部を構成するメモリ素子（実施の形態 1）の読出し動作を説明する図である。

【図 8】本発明の表示用駆動装置の不揮発性メモリ部を構成するメモリ素子（実施の形態 2）の要部の概略断面図である。

【図 9】図 8 の要部の拡大概略断面図である。

【図 1 0】図 8 の変形の要部の拡大概略断面図である。

【図 1 1】本発明の表示用駆動装置の不揮発性メモリ部を構成するメモリ素子（実施の形態 2）の電気特性を示すグラフである。

【図 1 2】本発明の表示用駆動装置の不揮発性メモリ部を構成するメモリ素子

(実施の形態 2) の変形の要部の概略断面図である。

【図 1 3】本発明の表示用駆動装置の不揮発性メモリ部を構成するメモリ素子(実施の形態 3) の要部の概略断面図である。

【図 1 4】本発明の表示用駆動装置の不揮発性メモリ部を構成するメモリ素子(実施の形態 4) の要部の概略断面図である。

【図 1 5】本発明の表示用駆動装置の不揮発性メモリ部を構成するメモリ素子(実施の形態 5) の要部の概略断面図である。

【図 1 6】本発明の表示用駆動装置の不揮発性メモリ部を構成するメモリ素子(実施の形態 6) の要部の概略断面図である。

【図 1 7】本発明の表示用駆動装置の不揮発性メモリ部を構成するメモリ素子(実施の形態 7) の要部の概略断面図である。

【図 1 8】本発明の表示用駆動装置の不揮発性メモリ部を構成するメモリ素子(実施の形態 8) の要部の概略断面図である。

【図 1 9】本発明の表示用駆動装置の不揮発性メモリ部を構成するメモリ素子(実施の形態 9) の電気特性を示すグラフである。

【図 2 0】本発明の半導体装置(実施の形態 1 0) のブロック図である。

【図 2 1】本発明の半導体装置(実施の形態 1 0) の不揮発性メモリ部のメモリセルアレイの回路図である。

【図 2 2】本発明の半導体装置(実施の形態 1 1) のブロック図である。

【図 2 3】本発明の半導体記憶装置(実施の形態 1 2) の概略の断面図である。

【図 2 4】本発明の半導体記憶装置(実施の形態 1 3) を模式的に説明する断面図である。

【図 2 5】本発明の半導体装置(実施の形態 1 4) のブロック図である。

【図 2 6】本発明の携帯電子機器(実施の形態 1 5) の概略のブロック図である。

【図 2 7】従来のフラッシュメモリの要部の概略断面図である。

【図 2 8】従来のフラッシュメモリの電気特性を示すグラフである。

【符号の説明】

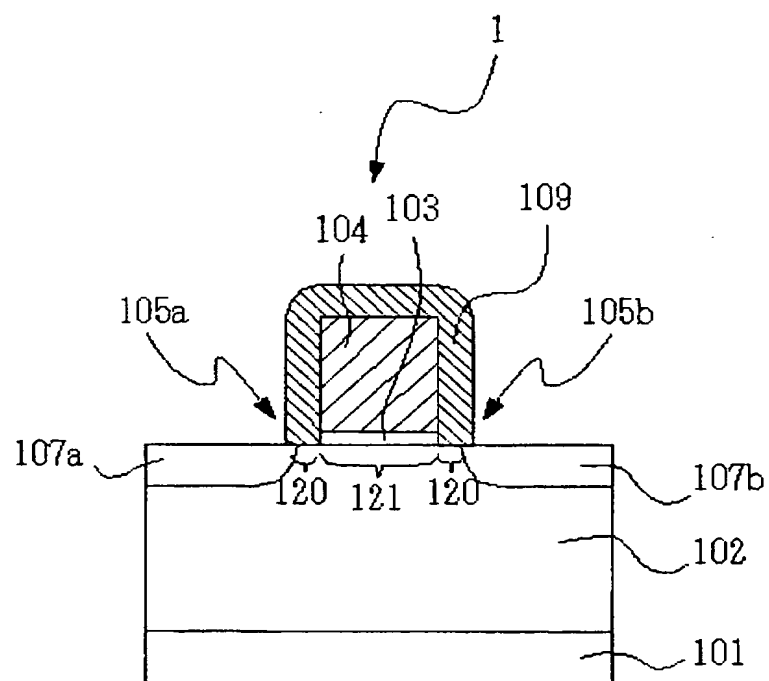
- 1 1 半導体記憶装置
- 1 2 半導体記憶装置
- 1 3 半導体記憶装置
- 1 4 パッケージ
- 1 5 半導体記憶装置
- 1 6 半導体記憶装置
- 2 1 メモリ素子
- 2 2 トランジスタ
- 1 0 1 、 2 1 1、 2 8 6、 7 1 1 半導体基板
- 1 0 2 P型ウェル領域
- 1 0 3、 2 1 4、 7 1 2 ゲート絶縁膜
- 1 0 4、 2 1 7、 7 1 3 ゲート電極
- 1 0 5 a、 1 0 5 b メモリ機能部
- 1 0 7 a、 1 0 7 b、 2 1 2、 2 1 3 拡散領域
- 1 0 9、 1 4 2、 1 4 2 a、 2 4 2、 2 4 2 a シリコン窒化膜
- 1 2 0、 2 7 1 オフセット領域
- 1 2 1 ゲート電極下の領域
- 1 1 1 微粒子
- 1 1 2 絶縁膜
- 1 3 1 a、 1 3 1 b、 2 6 1、 2 6 2、 2 6 2 a メモリ機能体
- 2 2 6 反転層
- 2 4 1、 2 4 3、 2 4 4 シリコン酸化膜
- 2 8 1、 2 8 2、 2 9 5、 4 2 1 領域
- 2 8 3、 2 8 4 電気力線
- 2 8 7 ボディ領域
- 2 8 8 埋め込み酸化膜
- 2 9 1 高濃度領域
- 3 0 1 C P U
- 3 0 2 不揮発性メモリ部

3 0 3 揮発性メモリ部  
3 0 4 メインCPU  
3 0 5 不揮発性メモリ部  
3 0 6 揮発性メモリ部  
3 0 7 サブCPU  
3 0 8 不揮発性メモリ部  
3 0 9 揮発性メモリ部  
3 1 1 メインCPU  
3 1 2 不揮発性メモリ部  
3 1 3 インターフェイス回路部  
3 1 4 揮発性メモリ部  
3 1 5 サブCPU  
3 1 6 不揮発性メモリ部  
3 1 7 揮発性メモリ部  
3 2 1 PCB  
3 2 2 チップ  
3 2 3 チップ  
3 2 4 絶縁体  
3 2 5 絶縁体  
3 2 6 金ワイヤー  
3 2 7 金ワイヤー  
3 2 8 ソルダーボール  
8 1 1 制御回路  
8 1 2 電池  
8 1 3 RF回路  
8 1 4 表示装置  
8 1 5 アンテナ  
8 1 6 信号線  
8 1 7 電源線

【書類名】

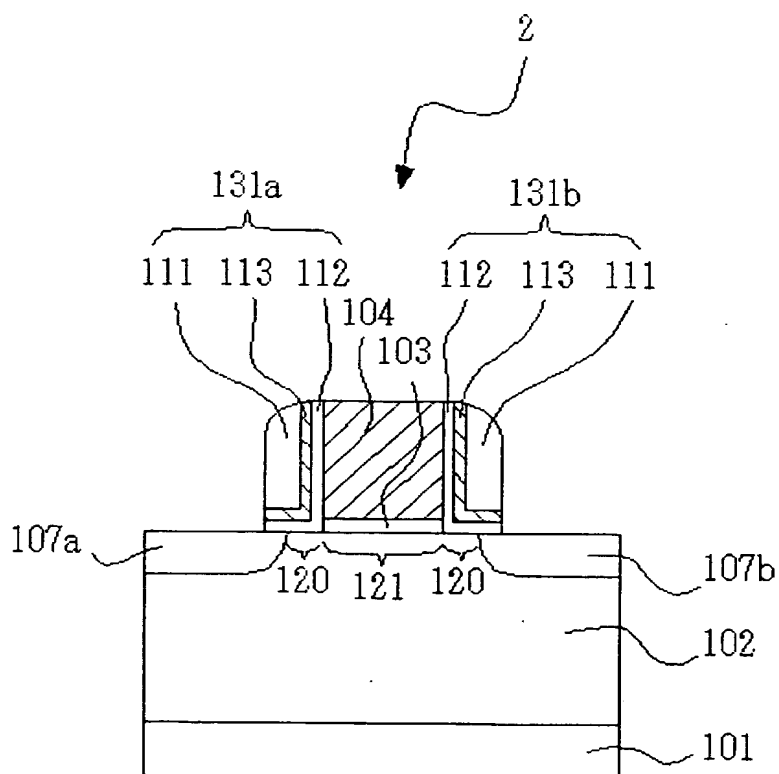
図面

【図 1】

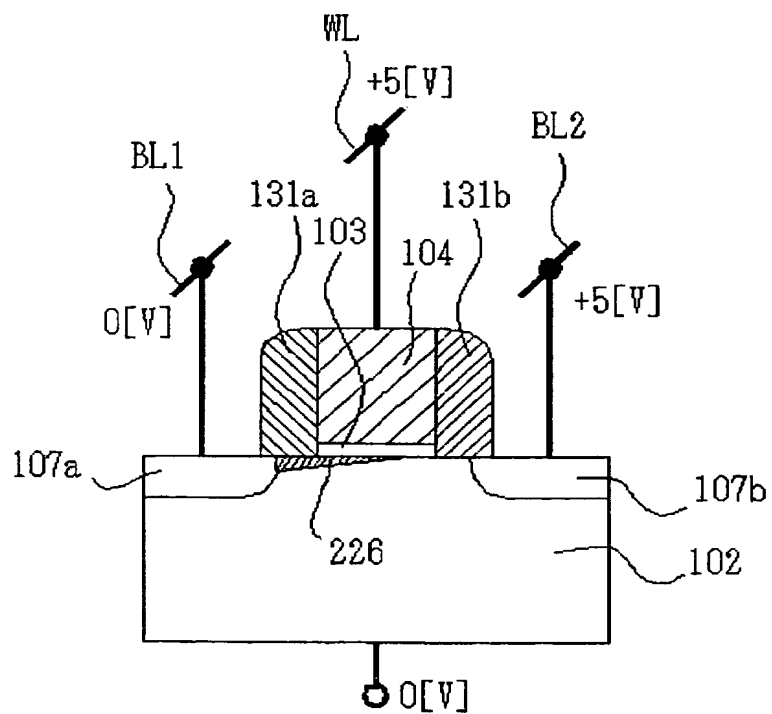




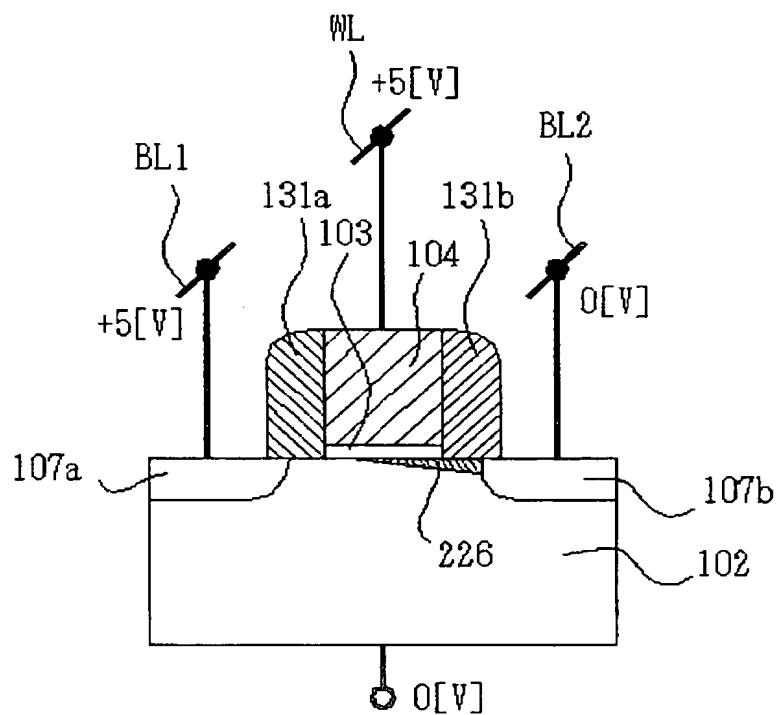
【図 2】



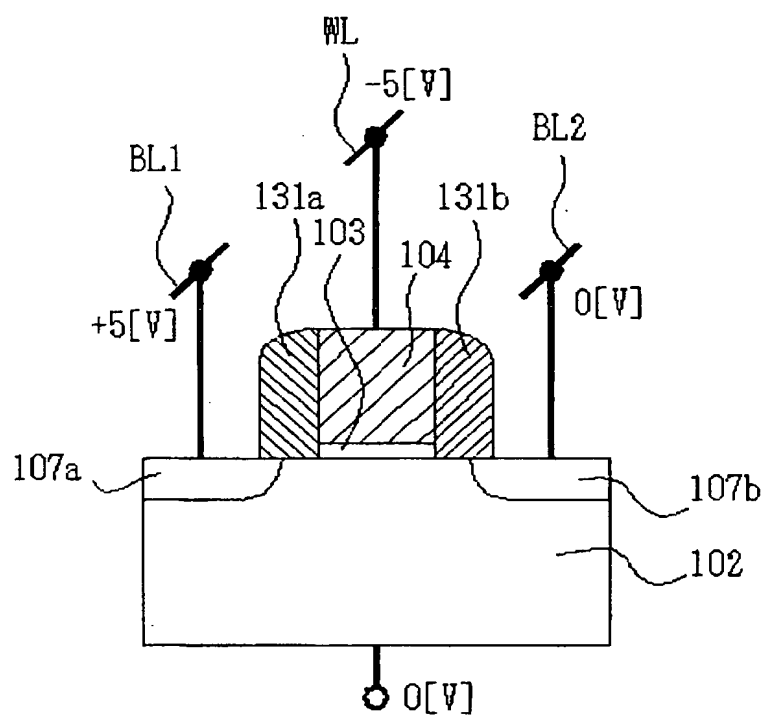
【図 3】



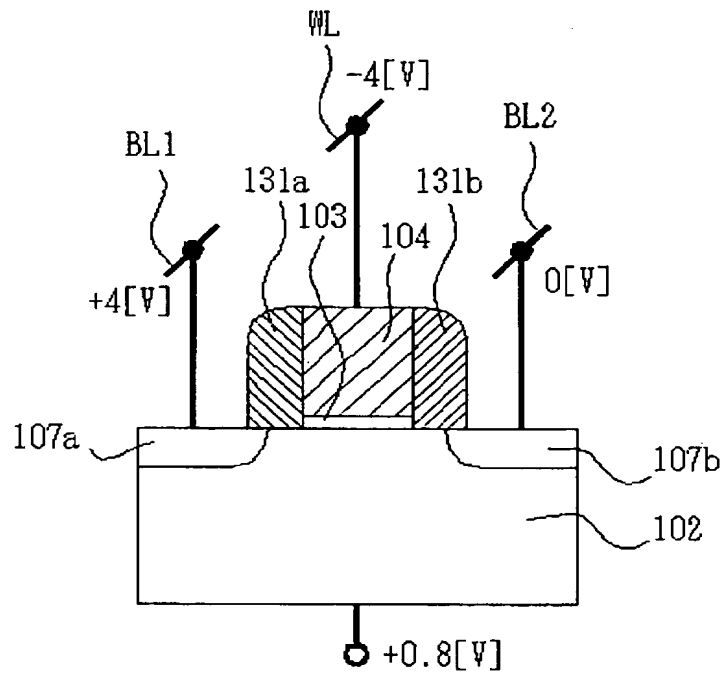
【図 4】



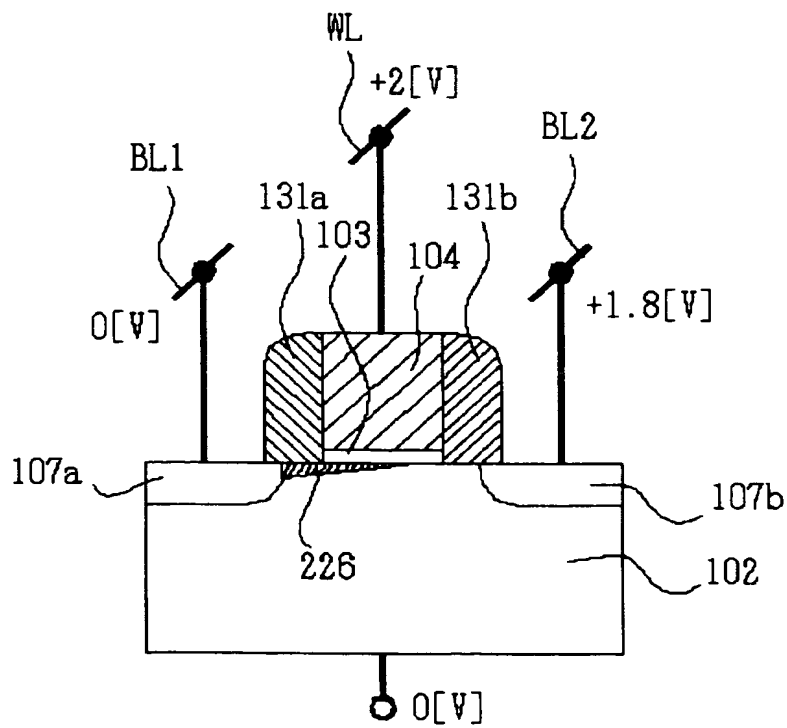
【圖 5】



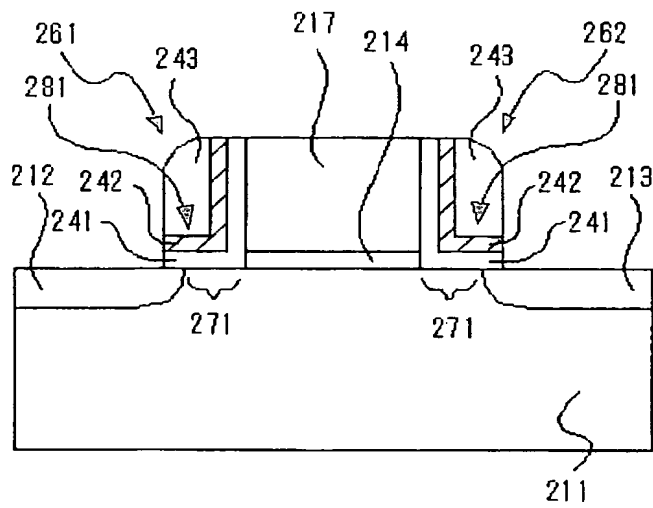
【図 6】



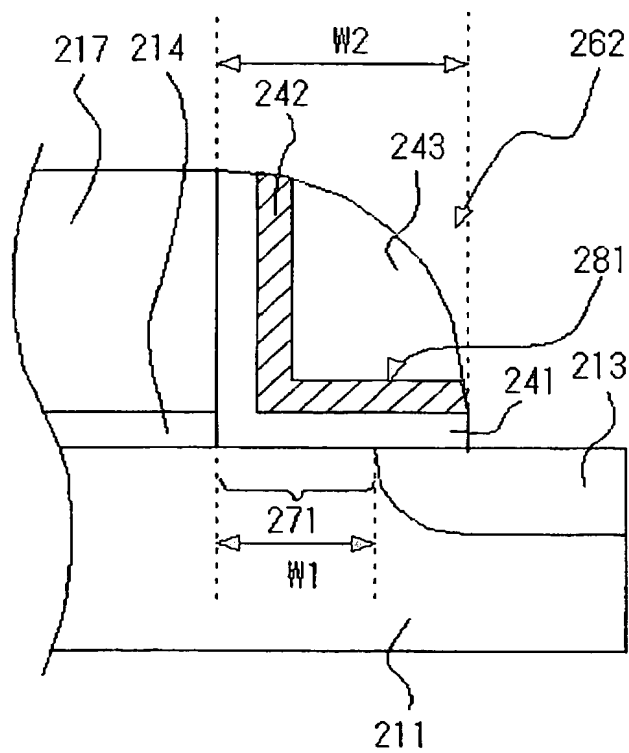
【図 7】



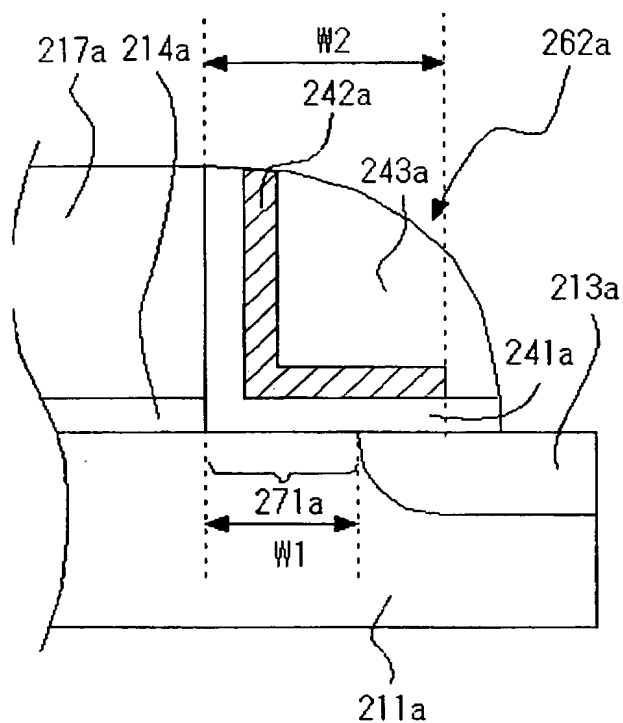
【図 8】



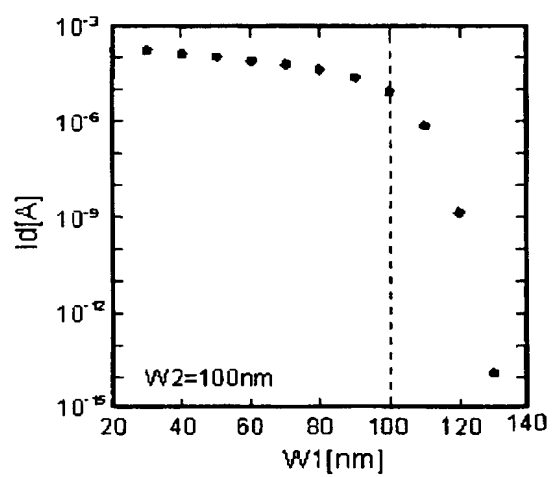
【図 9】



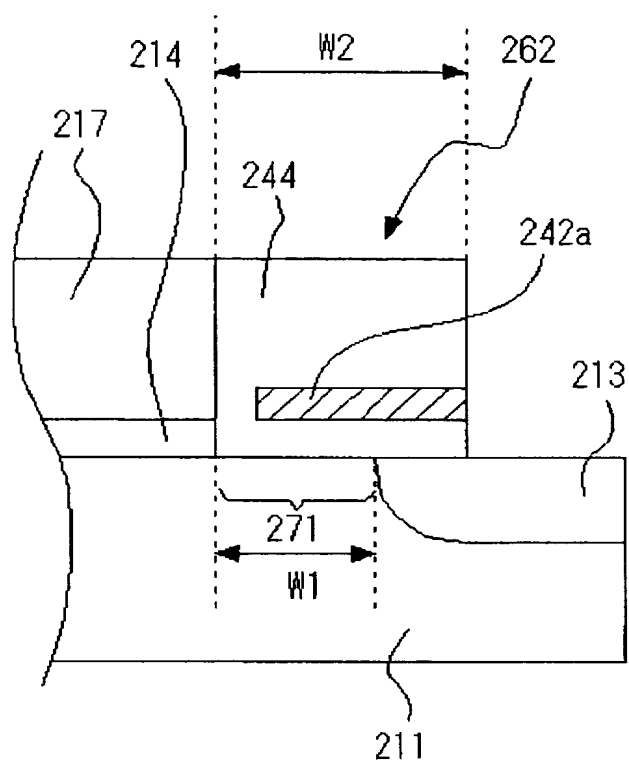
【図 10】



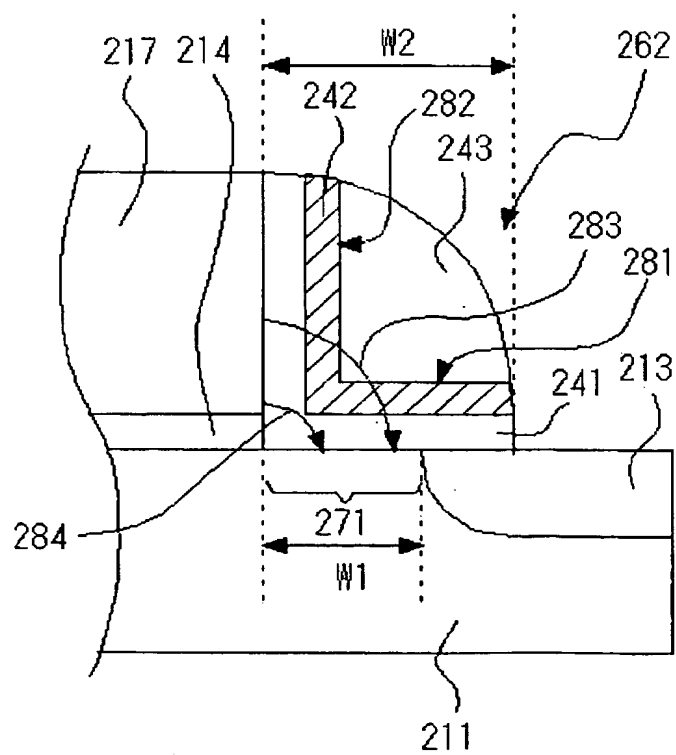
【図 11】



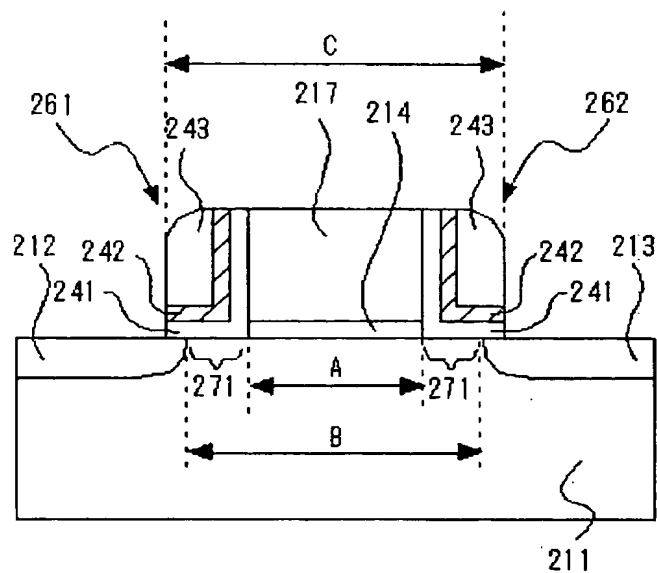
【図 12】



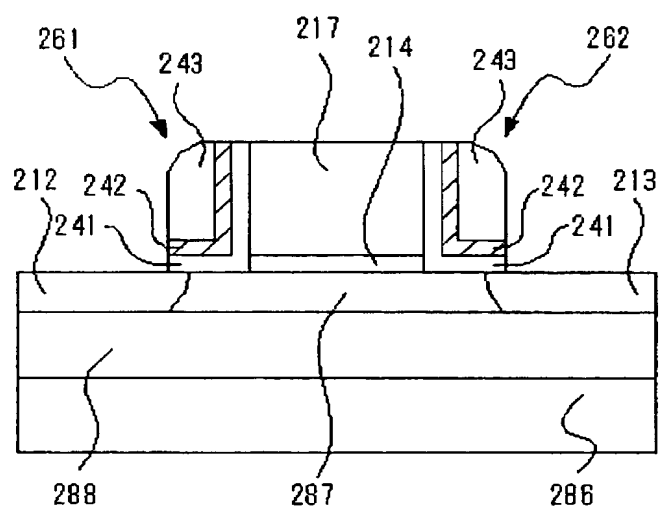
【図 13】



【図 14】



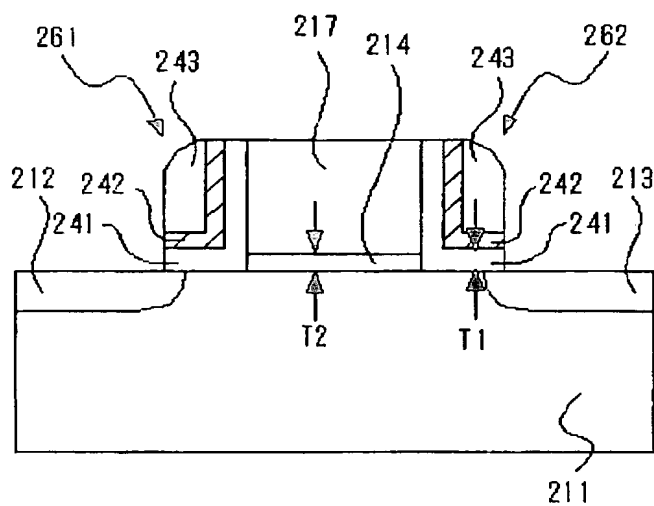
【図 15】



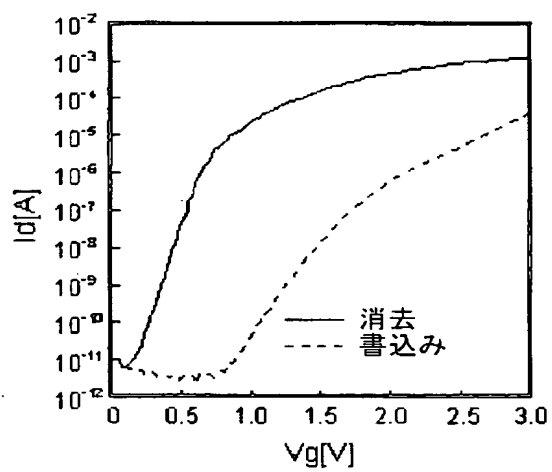




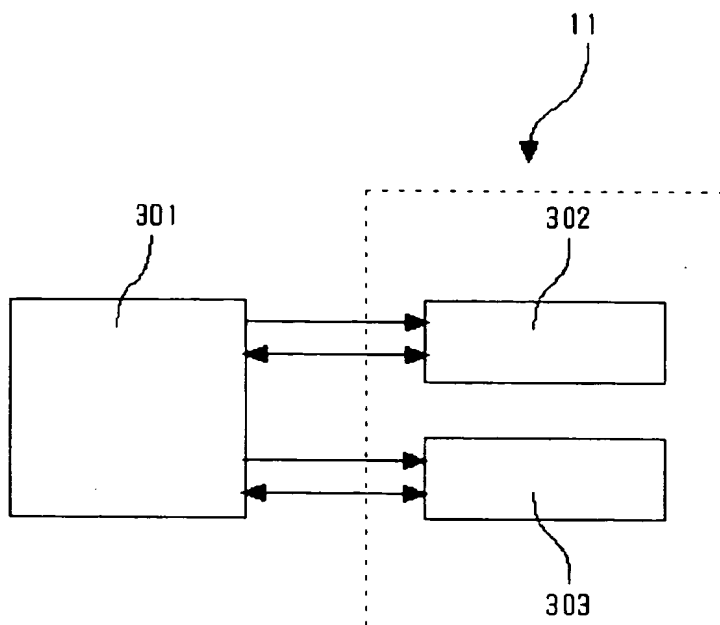
【図 18】



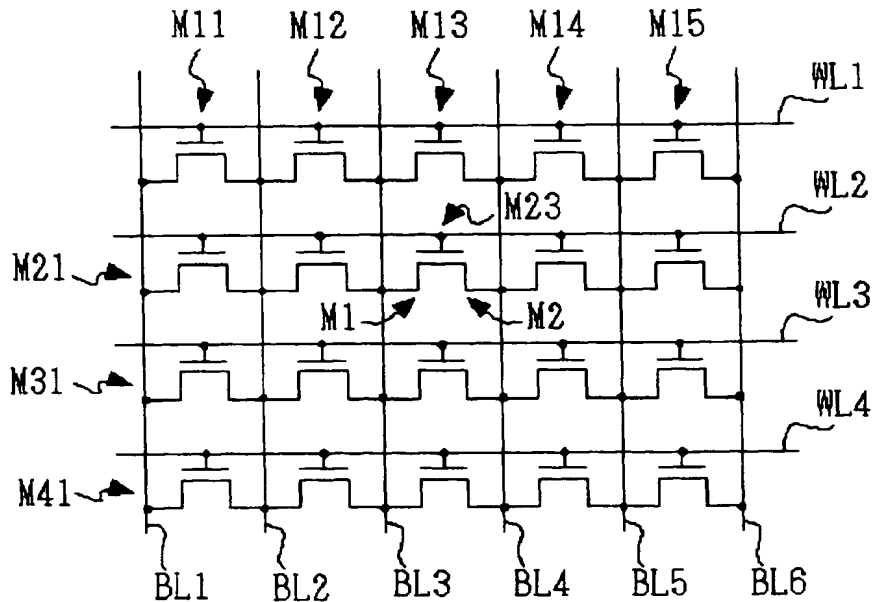
【図 19】



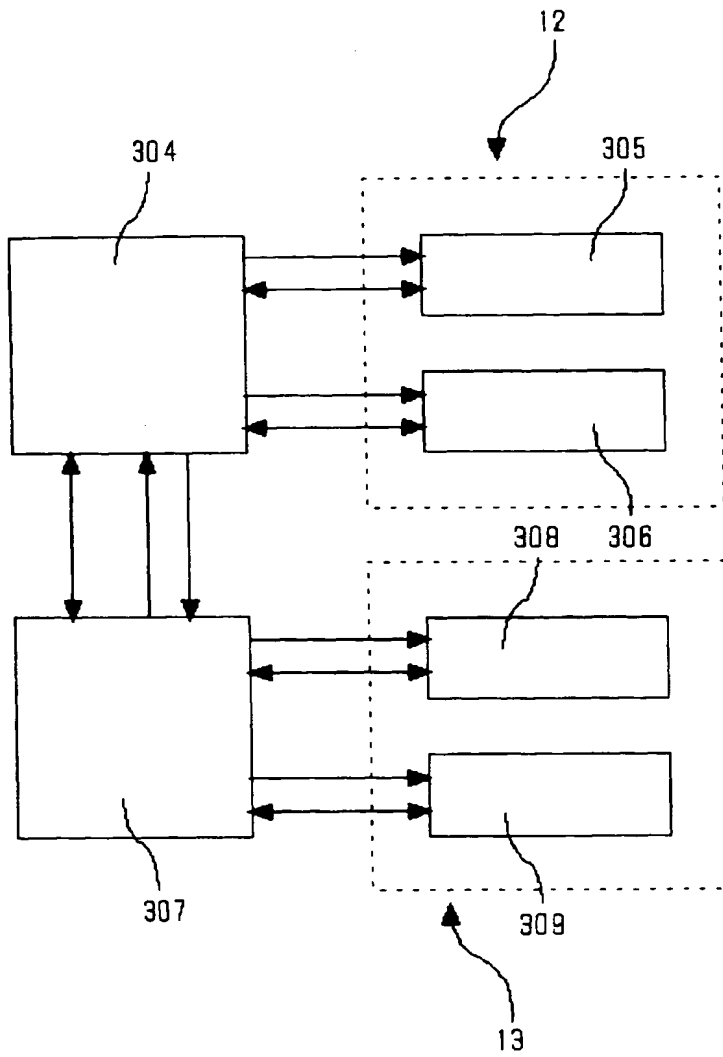
【図 20】



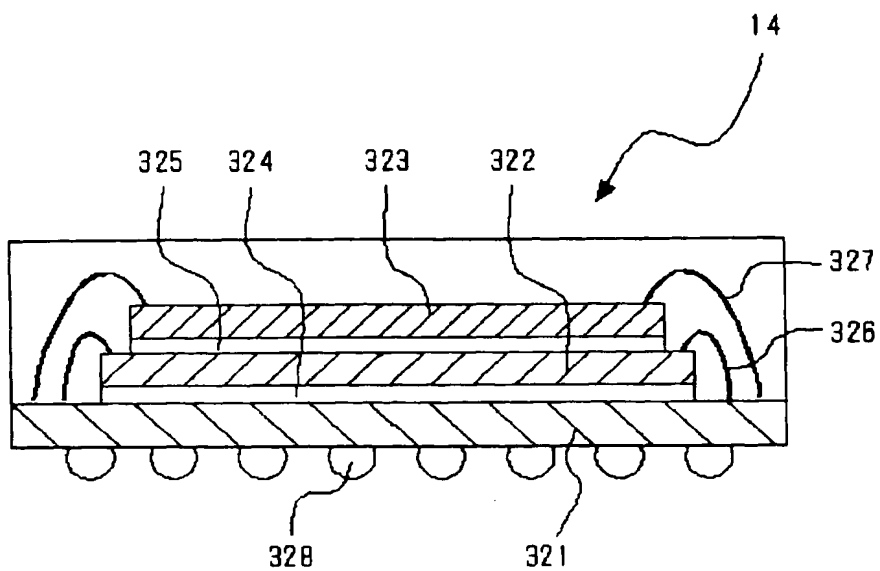
【図 21】



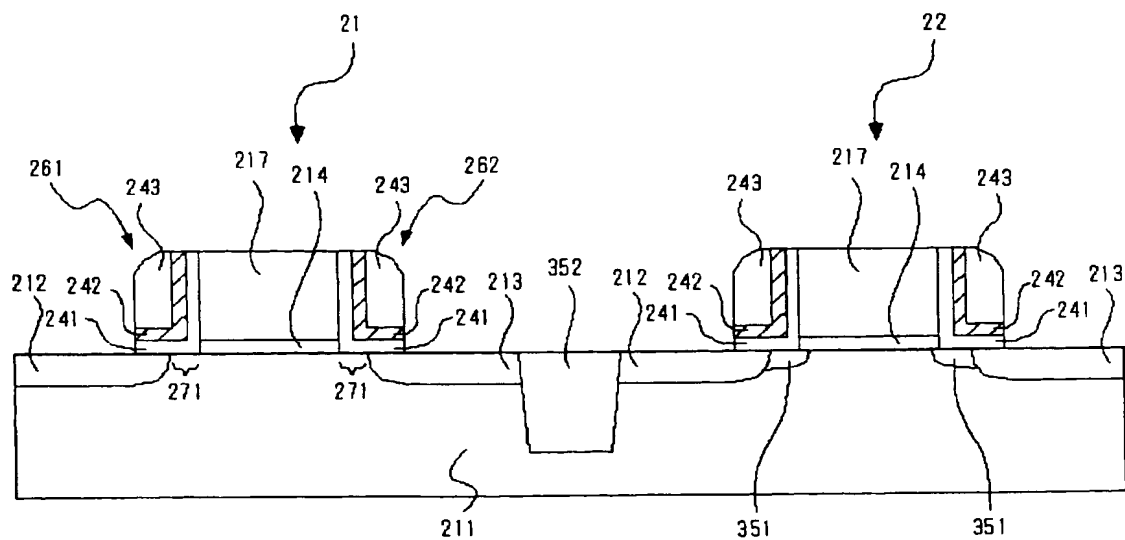
【図 22】



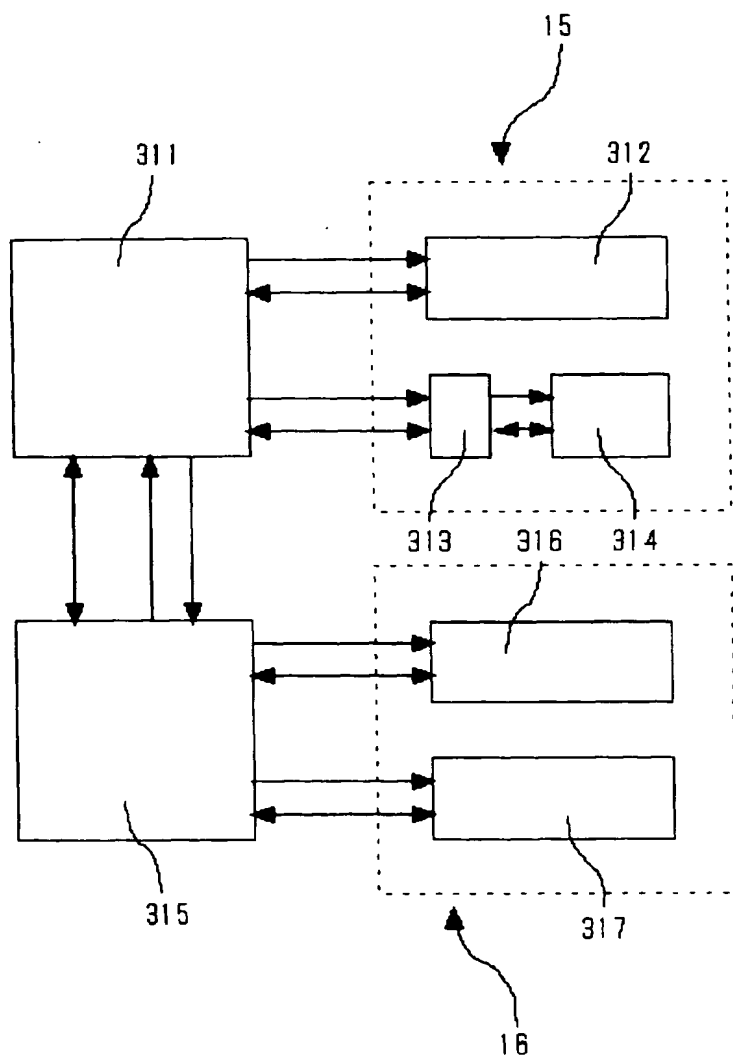
【図 23】



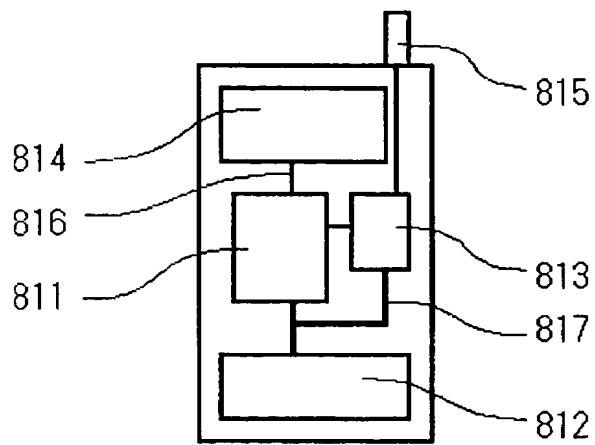
【図 24】



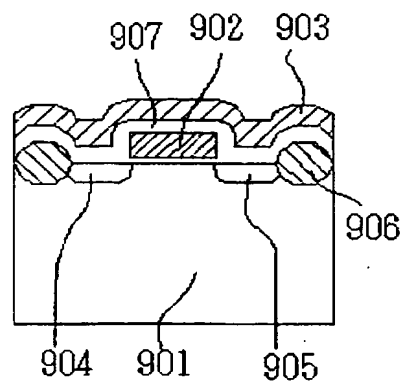
【図 25】



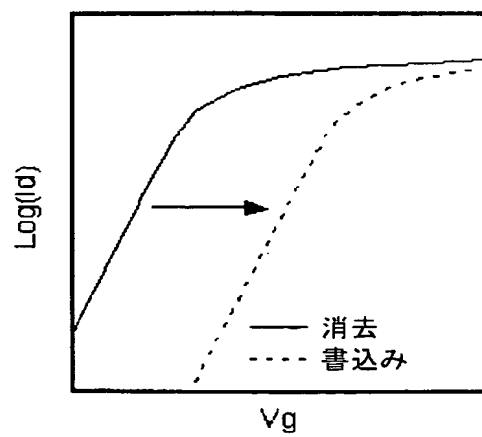
【図 2 6】



【図 2 7】



【図 2 8】



【書類名】 要約書

【要約】

【課題】 不揮発性メモリ部の構成を単純化すること。

【解決手段】 不揮発性メモリ部と揮発性メモリ部とを備え、不揮発性メモリ部は、半導体層上にゲート絶縁膜を介して形成されたゲート電極と、該ゲート電極下に配置されたチャンネル領域と、該チャンネル領域の両側に配置され該チャンネル領域と逆導電型を有する拡散領域と、該ゲート電極の両側に形成され電荷を保持する機能を有するメモリ機能体とを備える不揮発性メモリ素子を有する半導体記憶装置。

【選択図】 図 2 0

特願 2 0 0 3 - 1 3 6 3 5 4

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 0 4 9 ]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
氏 名	シャープ株式会社